

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2002 年 1 月 31 日 (31.01.2002)

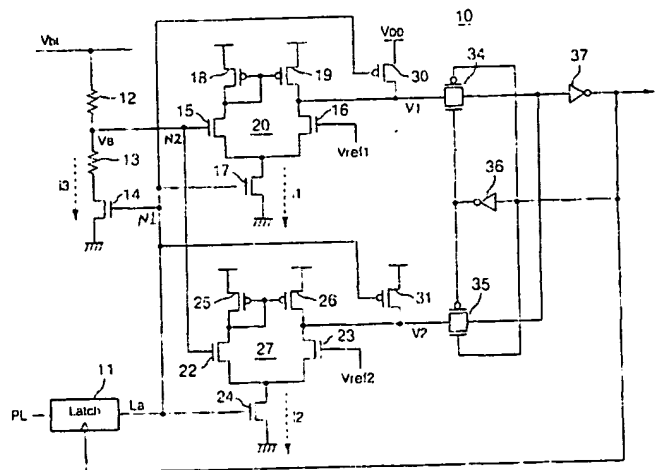
PCT

(10) 国際公開番号  
WO 02/09119 A1

- (51) 国際特許分類: G11C 11/407 Atushi) [JP/JP]: 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP01/06374
- (22) 国際出願日: 2001 年 7 月 24 日 (24.07.2001) (74) 代理人: 浜田治雄(HAMADA, Haruo): 〒107-0062 東京都港区南青山2丁目26番37号 NXB青山3階 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): CN, KR, US.
- (30) 優先権データ: 特願2000-224452 2000 年 7 月 25 日 (25.07.2000) JP (84) 指定国 (広域): ヨーロッパ特許 (DE, FR, GB, IT).
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]: 〒108-8001 東京都港区芝五丁目7番1号 Tokyo (JP). 添付公開書類: 国際調査報告書
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 高橋弘行 (TAKA-HASHI, Hiroyuki) [JP/JP]. 中川 敦 (NAKAGAWA, 2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: INNER VOLTAGE LEVEL CONTROL CIRCUIT, SEMICONDUCTOR STORAGE, AND METHOD FOR CONTROLLING THEM

(54) 発明の名称: 内部電圧レベル制御回路および半導体記憶装置並びにそれらの制御方法



(57) Abstract: A voltage level control circuit and control method by which the power consumption is reduced. When the level of a signal A is "L" and the level of a signal PL inputted from outside the voltage level control circuit changes to "H", the level of a latch signal La outputted from a latch (11) changes to "H" and an N FETs (14, 17, 24) are turned on. As a result, a voltage-dividing circuit comprising resistors (12, 13) for voltage division and current Miller differential amplifiers (20, 27) are turned active, and an "H" signal A for controlling a boost voltage Vbt (word line drive voltage) is outputted. When the boost voltage Vbt rises and reaches a reference voltage Vref2, the voltage V2 goes to an "H" level, and consequently the signal A goes to an L level. Since the level of the signal A changes to the "L" level, the latch (11) is made through. Since the signal PL is at an "L" level, the latch signal La outputted from the latch (11) goes to an "L" level, and the N FETs (14, 17, 24) are turned off. Thus in the time zone when it is unnecessary to operate, the N FETs (14, 17, 24) are kept off, thereby saving the power.

BEST AVAILABLE COPY

[続葉有]

WO 02/09119 A1



---

(57) 要約:

消費電力の節減を図った電圧レベル制御回路および制御方法を提供する。信号Aが“L”であって、電圧レベル制御回路の外部から入力される信号PLが“H”になると、ラッチ(11)から出力されるラッチ信号Laが“H”となり、N・FET(14, 17, 24)がオンとなる。これにより、抵抗(12, 13)による分圧回路、カレントミラー差動増幅器(20, 27)が能動状態となり、ブースト電圧Vbt(ワード線駆動電圧)を制御する信号Aとして“H”が出力される。ブースト電圧Vbtが上昇し、基準電圧Vref2に達すると、電圧V2が“H”となり、これにより、信号Aが“L”となる。信号Aが“L”になると、ラッチ(11)がスルーとなり、この時、信号PLが“L”であることから、ラッチ(11)から出力されるラッチ信号Laが“L”となり、N・FET(14, 17, 24)がオフとなる。このように、必要以外の時間帯において、N・FET(14, 17, 24)をオフとし、電力の節減を図る。

## 明細書

## 内部電圧レベル制御回路および半導体記憶装置並びにそれらの制御方法

## 技術分野

本発明は、電圧レベル制御回路およびその制御方法に関し、さらに半導体記憶装置やその他の電子回路において使用される内部電圧のレベルを制御する電圧レベル制御回路およびその制御方法並びにこの電圧レベル制御回路を使用した、半導体装置、特にメモリーセルをリフレッシュするためのリフレッシュ信号を内部で発生する擬似SRAM等の半導体記憶装置に関する。

## 背景技術

従来、携帯電話等の各種携帯機器において、半導体メモリ等の半導体回路が広く使用されている。この携帯機器に使用される半導体回路においては、いかに消費電力を低減するかが大きな課題である。特開昭63-255897号公報、特開平11-16368号公報に、消費電力低減に関する従来技術が開示されている。

図1は、特開昭63-255897号公報に開示されている半導体記憶装置(DRAM; ダイナミックラム)の要部の構成を示すブロック図である。半導体記憶装置は、ワード線駆動信号 $\phi_{WL}$ を発生する $\phi_{WL}$ 発生回路152を有する。 $\phi_{WL}$ 発生回路152は、外部から $\neg RAS$ 信号( $\neg$ は負論理の信号であることを示す、RASはローアドレスストロープを示す)の入力を受け、この入力された $\neg RAS$ 信号に従ってワード線駆動信号 $\phi_{WL}$ を発生する。半導体記憶装置は、さらにローデコーダ155を有する。ローデコーダ155は、 $\phi_{WL}$ 発生回路152の出力側に接続され、 $\phi_{WL}$ 発生回路152から出力されたワード線駆動信号 $\phi_{WL}$ の入力を受ける。さらに半導体記憶装置は、ワード線駆動信号 $\phi_{WL}$ を昇圧する $\phi_{WL}$ 昇圧回路153、並びに $\phi_{WL}$ 比較回路154を有する。 $\phi_{WL}$ 比較回路154は、外部からの基準電圧 $V_{ref}$ の入力を受けると共に、 $\phi_{WL}$

発生回路 152 の出力側に接続され、 $\phi WL$  発生回路 152 から出力されたワード線駆動信号  $\phi WL$  の入力を受けることで、ワード線駆動信号  $\phi WL$  と基準電圧  $V_{ref}$  とを比較し、この比較した結果を比較結果信号  $S4$  として出力する。更に、 $\phi WL$  昇圧回路 153 は、 $\neg RAS$  信号の入力を受けると共に、 $\phi WL$  比較回路 154 の出力側に接続され、比較結果信号  $S4$  の入力を受け、 $\neg RAS$  信号と  $\phi WL$  比較回路 154 の出力信号  $S4$  に基づいてワード線駆動信号  $\phi WL$  を昇圧する。ロウデコーダ 155 はワード線駆動信号  $\phi WL$  を、アドレス信号が指定するワード線  $WL$  へ出力する。

前記回路の動作を図 2 のタイミングチャートに基づき説明する。 $\neg RAS$  信号が立ち下がると、この  $\neg RAS$  信号を受けた  $\phi WL$  発生回路 152 が、ワード線駆動信号  $\phi WL$  を時刻  $t1$  において電源電圧  $V_{cc}$  レベルに立ち上げる。これと同時に、 $\neg RAS$  信号を受けた  $\phi WL$  昇圧回路 153 が、ワード線駆動信号  $\phi WL$  を昇圧し、 $V_{cc}$  以上のハイレベルとする。その後、 $\neg RAS$  信号が立ち上がる時刻  $t2$  において、 $\phi WL$  比較回路 154 がワード線駆動信号  $\phi WL$  のレベル  $V_{WL}$  と基準電圧  $V_{ref}$  とを比較し、その結果を示す信号  $S4$  を  $\phi WL$  昇圧回路 153 へ出力する。 $V_{WL} < V_{ref}$  であった場合は、 $\phi WL$  昇圧回路 153 は、ワード線駆動信号  $\phi WL$  の昇圧を行う。 $V_{WL} > V_{ref}$  であった場合は、 $\phi WL$  昇圧回路 153 は、ワード線駆動信号  $\phi WL$  の昇圧を行わない。

このように、図 1 の回路は、アクティブサイクルの終了時における昇圧を、必要な場合は自動的に行い、不必要な場合は行わないことによって回路の消費電力の節減を図っている。

また、図 3 は、特開平 11-16368 号公報に開示されている半導体記憶装置 (SRAM; スタティックラム) の要部の構成を示すブロック図である。図 4 は同半導体記憶装置の動作を説明するためのタイミングチャートである。ATD 回路 110 は、アドレス信号  $A0 \sim A_n$  もしくはチップ選択信号  $CE$  の変化を検知して、パルス信号  $\phi OS$  を発生させる。XE 発生回路 111 は、ATD 回路 110 からのアドレス遷移検知を示すパルス信号  $\phi OS$  とチップ選択信号  $CE$  を入力し、ワード線活性化信号  $XE$  を出力する。この XE 発生回路 111 は、書込制御信号  $\neg WE$  の制御を受けないので、書き込み、読み出しサイク

ルともに、信号X Eの動作は同じであり、次のサイクルのアドレス変化による信号φO Sによってリセットされるまでハイレベルを出力し続ける。ロウデコーダ1 0 2は、ロウアドレス信号を入力し、ワード線を選択するロウ選択信号を出力する。

昇圧信号発生回路1 1 4は、ワード線活性化信号X Eと書込制御信号／WEを入力として、昇圧を指示する昇圧信号／φB E Nを発生する。すなわち、この昇圧信号発生回路1 1 4は、書込制御信号／WEがローレベルとなる書き込みサイクルにおいては、ワード線活性化信号X Eがローレベルとなるリセット期間を除きローレベルを出力し続ける。一方、書込制御信号／WEがハイレベルとなる読み出しサイクルにおいては、一定時間だけローレベルを出力し、その後、ハイレベルに戻る。

昇圧電位発生回路1 1 5は、昇圧信号／φB E Nがローレベルの時作動し、昇圧電位V B S Tを発生し、ワードドライバ1 0 4へ出力する。ワードドライバ1 0 4は、昇圧電位V B S Tを電源とし、ワード線活性化信号X Eとロウ選択信号を入力してワード線を選択する。選択されたワード線は、昇圧電位V B S Tまで上昇し、メモリセルへの書き込みまたはメモリセルからの読み出しを行う。

センスアンプ活性信号発生回路1 1 2は、ワード線活性化信号X Eと書込制御信号／WEを入力としてセンスアンプ活性信号φS Eを出力する。信号φS Eは読み出しサイクルでのみ発生し、ワード線上昇後、ある遅延時間の後ハイレベルとなる。このハイレベルは次サイクルのアドレス変化による信号φO Sによってリセットされるまで維持され、センスアンプ1 0 6を活性状態に保ち続ける。センスアンプ1 0 6は、カラムデコーダ1 0 3の出力によりカラム選択スイッチ1 0 5で選択された相補デジタル線D G、D G Bの信号を入力とし、センスアンプ活性信号φS Eがハイレベルの期間、メモリセルからのデータを増幅して出力する。

上述したように、図3に示す回路は、読み出しサイクル期間の初期においてのみ昇圧電位回路1 1 5を動作させ、同読み出しサイクルの初期以外の期間において昇圧電位回路1 1 5を不動作とすることにより、昇圧電位回路1 1 5の

消費電力の低減を図っている。

しかしながら、これら従来のものは、ワード線を駆動する電力を低減するという発想のものであり、それ以外の電力低減法については開示されていない。

他方、近年、疑似SRAMが開発され実用化されている。この疑似SRAMは、周知のように、DRAMのもつ大容量の利点とSRAMのもつ使いやすさ、スタンバイ時の低消費電力等の利点を兼ね備えており、携帯機器等に広く利用されつつある。しかし、この疑似SRAMは、携帯機器に用いられる関係上さらなる低消費電力化が望まれている。

図5は従来の疑似SRAMの要部の構成を示すブロック図である。図6は同疑似SRAMの動作を説明するためのタイミングチャートである。この疑似SRAMは、電圧レベル制御回路1、メモリセルアレイ2、リングオシレータ3、昇圧回路4、およびワードデコーダ5を有する。更に、疑似SRAMは、ロウデコーダ6、リフレッシュタイミング発生回路7並びにロウイネーブル発生回路8を有する。

電圧レベル制御回路1は、メモリセルアレイ2のワード線へ印加するブースト電圧 $V_{bt}$ のレベルを制御する内部電圧レベル制御信号Aを、基準電圧 $V_{ref1}$ 、 $V_{ref2}$ に基づいて発生する。リングオシレータ3の入力側は、電圧レベル制御回路1の出力側に接続され、内部電圧レベル制御信号Aは、リングオシレータ3へ入力される。リングオシレータ3は、発振回路であり、インバータを奇数個リング状に直列接続して構成し得る。電圧レベル制御回路1から出力された内部電圧レベル制御信号Aが”H”（ハイレベル）の時、リングオシレータ3は、活性化され発振出力Bを出力する。

昇圧回路4の入力側は、リングオシレータ3の出力側に接続され、この発振出力Bは昇圧回路4に入力される。昇圧回路4はチャージポンプ回路で構成し得る。昇圧回路4は、リングオシレータ3の出力Bを利用して電源電圧 $V_{DD}$ を段階的に昇圧し、ワード線を駆動するブースト電圧 $V_{bt}$ として出力する。昇圧回路4の出力側は、ワードデコーダ5に接続され、ブースト電圧 $V_{bt}$ はワードデコーダ5へ入力される。この場合、ブースト電圧 $V_{bt}$ は、電源電圧 $V_{DD}$ より高い電圧レベル、例えば $(V_{DD}+1.5V)$ または $(V_{DD}+2V)$ である。ワ

ードデコーダ5は、ロウデコーダ6の出力側に接続され、ロウデコーダ6からの出力によって選択されたワード線へブースト電圧 $V_{bt}$ を供給する。メモリセルアレイ2は、DRAMのメモリセルアレイと同様の構成を有するメモリセルアレイである。

リフレッシュタイミング発生回路7は、一定時間間隔で、メモリセルアレイ2中のメモリセルをリフレッシュするためのリフレッシュ信号およびリフレッシュすべきメモリセルのアドレスを指定するリフレッシュアドレスを発生する。リフレッシュタイミング発生回路7の出力側は、ロウイネーブル発生回路8へ接続され、リフレッシュ信号をロウイネーブル発生回路8へ入力する。また、リフレッシュアドレスをロウデコーダ6へ入力する。

ロウイネーブル発生回路8は、ライトイネーブル信号 $WE$ 、チップセレクト信号 $CS$ およびメモリセルアレイ2の読出／書込アドレス $Addr$ の入力を受け、アドレス $Addr$ が変化する毎に、ロウイネーブル信号 $LT$ を発生する。また、このロウイネーブル発生回路8は、リフレッシュタイミング発生回路7がリフレッシュ信号を出力するタイミングで信号 $LT$ を発生する。ロウイネーブル発生回路8の出力側は、ロウデコーダ6および電圧レベル制御回路1に接続され、ロウイネーブル信号 $LT$ を電圧レベル制御回路1およびロウデコーダ6へ入力する。ロウデコーダ6は、ロウイネーブル信号 $LT$ の入力を受けた時点で外部入力された読出／書込アドレス $Addr$ をデコードし、デコード結果をワードデコーダ5へ入力する。

図5は、図4に示した回路の動作を説明するためのタイミングチャートである。ライトイネーブル信号 $WE$ が例えば”L”（ローレベル）となり、また、チップセレクト信号 $CS$ が”H”となった後、アドレス $Addr$ が変化すると、ロウイネーブル発生回路8からロウイネーブル信号 $LT$ が出力され、電圧レベル制御回路1へ入力される。電圧レベル制御回路1は、ブースト電圧 $V_{bt}$ と基準電圧 $V_{ref1}$ とを比較し、ブースト電圧 $V_{bt}$ が基準電圧 $V_{ref1}$ より低い場合は、時刻 $t_1$ において内部電圧レベル制御信号 $A$ を”H”（ハイレベル）とする。この内部電圧レベル制御信号 $A$ が”H”になると、リングオシレータ3が発振を開始し、発信出力 $B$ を出力する。出力された発信出力 $B$ は、昇圧回路4へ

入力される。昇圧回路4はこの発信出力Bを使用してブースト電圧 $V_{bt}$ を昇圧する。ブースト電圧 $V_{bt}$ が上昇し、基準電圧 $V_{ref2}$ に達すると、電圧レベル制御回路1が内部電圧レベル制御信号Aを時刻 $t_2$ で”L”（ローレベル）とする。これにより、リングオシレータ3の発信が停止し、昇圧回路4による昇圧が停止する。

このように、従来の疑似SRAMは、電圧レベル制御回路1がリングオシレータ3および昇圧回路4を必要時にのみ活性化する一方、不必要時には非活性化状態とし、これによって、消費電力の節減を図っていた。

しかしながら、従来の半導体記憶装置にあっては、メモリセルアレイに印加する電圧を発生する回路の省電力化が図られていたが、メモリセルアレイに印加する電圧を制御する回路すなわち電圧レベル制御回路1の省電力化は全く考慮されていなかった。

通常のDRAMでは、リフレッシュタイミングがシステム側で制御され、デバイス側は常に昇圧レベルを保持する必要があるが、したがって、メモリセルアレイに印加する電圧を制御する回路の省電力化は全く考慮する必要がなかった。また、スタンバイ時のパワー制限も比較的厳しくなかった。

これに対し、SRAM並の低消費電力化が求められる疑似SRAMでは、電圧レベル制御回路に供給するパワーの可能な限りの低減が要求される。すなわち、疑似SRAMにおいては、デバイス外部からリフレッシュ動作が見えない仕様、つまり消費電力の規格にリフレッシュ動作電流が考慮されない仕様になっており、一般的なDRAMよりさらに厳しい規格が要求される。

#### 発明の開示

この発明は、前述の要求を満たすため開発されたものであり、その目的は、消費電力の可能な限りの低減を図った電圧レベル制御回路を提供することにある。

本発明の更なる目的は、消費電力の可能な限りの低減を図る電圧レベル制御方法を提供することにある。

本発明の更なる目的は、消費電力が低減された電圧レベル制御回路を有する



半導体記憶装置を提供することにある。

本発明の更なる目的、構成並びに効果は、以下の説明により明らかにする。

この発明は上記の課題を解決すべくなされたもので、本発明は、外部電源電圧に基づき内部電圧レベルを発生する内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路において、

この電圧レベル制御回路は、

内部電圧レベル発生回路の出力側に接続され、前記内部電圧レベルを、少なくとも1つの基準電圧に基づき比較する比較回路と、

この比較回路に接続され、比較回路を活性状態又は非活性状態に制御する制御回路とを含むことを特徴とする電圧レベル制御回路を提供する。

制御回路は、内部電圧レベル発生回路を活性状態にすると、制御回路は比較回路を活性状態にし、内部電圧レベル発生回路を非活性状態にすると、制御回路は比較回路を非活性状態にすることが可能である。

内部電圧レベル発生回路は、昇圧回路又は降圧回路であることが可能である。

比較回路は、基準電圧の数と等しい数の比較回路からなり、この比較回路は、対応する各基準電圧に基づき内部電圧レベルを比較し、制御回路は、各比較回路に共通に接続される1つの制御回路からなり、各比較回路は、1つの制御回路により共通に、活性状態又は非活性状態が制御されることが可能である。

制御回路は、論理ゲート回路とラッチ回路とを含み、論理ゲート回路の出力がラッチ回路の入力と接続され、ラッチ回路の制御端子は、比較回路の出力側に接続され、論理ゲート回路の出力信号又は比較回路の出力信号に基づき比較回路の活性状態又は非活性状態が制御されることが可能である。

比較回路は、カレントミラー差動増幅器を含むことが可能である。

電圧レベル制御回路は、更に分圧回路を含み、この分圧回路は内部電圧レベル発生回路の出力側とグランド端子との間に直列に接続され、分圧回路の出力は比較回路の入力に接続され、比較回路は、内部電圧レベルの分圧電圧を基準電圧と比較することが可能である。

比較回路の入力は、内部電圧レベル発生回路の出力側に直接接続され、比較回路は、内部電圧レベルを基準電圧と直接比較することが可能である。

前記少なくとも1つの基準電圧は、単一の基準電圧からなり、この単一の基準電圧に基づき内部電圧レベルの許容範囲の下限を定めることで、内部電圧レベルが許容範囲の下限以下となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化することが可能である。

前記少なくとも1つの基準電圧は、単一の基準電圧からなり、この単一の基準電圧に基づき内部電圧レベルの許容範囲の上限を定めることで、内部電圧レベルが許容範囲の上限以上となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化することが可能である。

前記少なくとも1つの基準電圧は、2つの基準電圧からなり、この2つの基準電圧に基づき内部電圧レベルの許容範囲の上限および下限を定めることで、内部電圧レベルが許容範囲の上限以上又は下限以下となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化することが可能である。

制御回路は、論理ゲート回路からなり、論理ゲート回路の出力が比較回路に接続され、内部電圧レベル発生回路の活性状態及び非活性状態から独立して、論理ゲート回路の出力信号のみに基づき比較回路の活性状態又は非活性状態が制御されることが可能である。

更に、本発明は、外部電源電圧に基づき内部電圧レベルを発生する内部電圧レベル発生回路の出力側に接続され、内部電圧レベルを検出して、外部から入力される少なくとも1つの基準電圧に基づき制御する電圧レベル制御回路において、

電圧レベル制御回路は、この電圧レベル制御回路を活性状態又は非活性状態に制御する制御回路を含むことを特徴とする電圧レベル制御回路を提供する。

電圧レベル制御回路は、さらに比較回路を含み、この比較回路の入力側を、内部電圧レベル発生回路の出力側に接続することで、前記内部電圧レベルを前記少なくとも1つの基準電圧に基づき比較し、内部電圧レベル発生回路を活性状態又は非活性状態に制御するための内部電圧レベル発生回路制御信号を、比較回路の出力側から出力し、

前記制御回路は、この比較回路に接続され、比較回路を活性状態又は非活性

状態に制御することが可能である。

制御回路は、内部電圧レベル発生回路を活性状態にするとき、制御回路は比較回路を活性状態にし、内部電圧レベル発生回路を非活性状態にするとき、制御回路は比較回路を非活性状態にするのが可能である。

内部電圧レベル発生回路は、昇圧回路または降圧回路であることが可能である。

比較回路は、基準電圧の数と等しい数の比較回路からなり、この比較回路は、対応する各基準電圧に基づき内部電圧レベルを比較し、制御回路は、各比較回路に共通に接続される1つの制御回路からなり、各比較回路は、1つの制御回路により共通に、活性状態又は非活性状態が制御されることが可能である。

制御回路は、論理ゲート回路とラッチ回路とを含み、論理ゲート回路の出力がラッチ回路の入力と接続され、ラッチ回路の制御端子は、比較回路の出力側に接続されることが可能である。

比較回路は、カレントミラー差動増幅器を含むことが可能である。

電圧レベル制御回路は、更に分圧回路を含み、この分圧回路は内部電圧レベル発生回路の出力側とグランド端子との間に直列に接続され、分圧回路の出力は比較回路の入力に接続され、比較回路は、内部電圧レベルの分圧電圧を基準電圧と比較することが可能である。

比較回路の入力は、内部電圧レベル発生回路の出力側に直接接続され、比較回路は、内部電圧レベルを基準電圧と直接比較することが可能である。

前記少なくとも1つの基準電圧は、単一の基準電圧からなり、この単一の基準電圧に基づき内部電圧レベルの許容範囲の下限を定めることで、内部電圧レベルが許容範囲の下限以下となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化することが可能である。

前記少なくとも1つの基準電圧は、単一の基準電圧からなり、この単一の基準電圧に基づき内部電圧レベルの許容範囲の上限を定めることで、内部電圧レベルが許容範囲の上限以上となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化することが可能である。

前記少なくとも1つの基準電圧は、2つの基準電圧からなり、この2つの基

準電圧に基づき内部電圧レベルの許容範囲の上限および下限を定めることで、内部電圧レベルが許容範囲の上限以上又は下限以下となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化することが可能である。

制御回路は、論理ゲート回路からなり、論理ゲート回路の出力が比較回路に接続され、内部電圧レベル発生回路の活性状態及び非活性状態から独立して、論理ゲート回路の出力信号のみに基づき比較回路の活性状態又は非活性状態が制御されることが可能である。

更に、本発明は、複数のワード線を有するメモリーセルアレイ領域と、

この複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、

この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、

更に前記電圧レベル制御回路は、前記電圧レベル制御回路

内部電圧レベル発生回路の出力側に接続され、前記内部電圧レベルを、少なくとも1つの基準電圧に基づき比較する比較回路と、

この比較回路に接続され、比較回路を活性状態又は非活性状態に制御する制御回路とを含むことを特徴とする半導体記憶装置を提供する。

前記半導体記憶装置は、メモリーセルのリフレッシュ動作を行うためのリフレッシュ信号を自発的に発生するリフレッシュ信号発生回路を更に含み、このリフレッシュ信号発生回路の出力側が、前記電圧レベル制御回路の制御回路に接続されることで、リフレッシュ信号の入力を受けて、前記電圧レベル制御回路の制御回路が、比較回路を非活性状態から活性状態にすることが可能である。

前記電圧レベル制御回路の制御回路は、論理ゲート回路を含み、この論理ゲート回路の複数の入力の第一の入力がリフレッシュ信号発生回路の出力側に接続されることが可能である。

前記半導体記憶装置は、リフレッシュ動作時以外にワード線を活性化するためのロウイネーブル信号を発生するロウイネーブル信号発生回路を更に含み、このロウイネーブル信号発生回路の出力が前記論理ゲート回路の第二の入力に

接続され、前記リフレッシュ信号およびロウイネーブル信号の少なくともいずれか1つが論理ゲート回路に入力されたとき、制御回路が、比較回路を非活性状態から活性状態にすることが可能である。

ロウイネーブル信号発生回路は、ロウイネーブル信号を活性化するタイミングより一定時間だけ前に、パルス信号を発生し、このパルス信号を論理ゲート回路に入力することで、前記電圧レベル制御回路の制御回路が、比較回路を非活性状態から活性状態にすると共に、内部電圧レベル発生回路を非活性状態から活性状態にし、前記内部電圧レベルが、前記少なくとも1つの基準電圧に基づき与えられる許容電圧レベル範囲に達した後、前記電圧レベル制御回路の制御回路が、比較回路を活性状態から非活性状態にすることが可能である。

前記半導体記憶装置がアクティブ状態にあるとき、前記制御回路は常に比較回路を活性状態に維持し、前記半導体記憶装置がスタンバイ状態にあるとき、前記制御回路は、制御信号に基づき比較回路を活性状態又は非活性状態に制御することが可能である。

前記半導体記憶装置は、

内部電圧レベル発生回路の出力側に接続され、内部電圧レベルに基づきグラウンドレベルより低いレベルのバックバイアス電圧を発生し、半導体記憶装置の特定半導体領域にバックバイアス電圧を供給するバックバイアス発生回路と、

前記特定半導体領域に接続され、特定半導体領域の電位を判定するバックバイアスレベル判定回路とを更に含み、

バックバイアスレベル判定回路は、バックバイアス電圧のレベルが予め定められた許容範囲を超えた場合、バックバイアスレベル判定結果信号を活性化し、

バックバイアスレベル判定回路の出力が論理ゲート回路の第二の入力に接続されることで、前記リフレッシュ信号および活性化されたバックバイアスレベル判定結果信号の少なくともいずれか1つが論理ゲート回路に入力されたとき、制御回路が、比較回路を非活性状態から活性状態にすることが可能である。

前記電圧レベル制御回路の制御回路は、さらにラッチ回路を含み、ラッチ回路の入力は前記論理ゲート回路の出力に接続され、ラッチ回路の制御端子は前記電圧レベル制御回路の出力に接続されることが可能である。

制御回路は、内部電圧レベル発生回路を活性状態にするとき、制御回路は比較回路を活性状態にし、内部電圧レベル発生回路を非活性状態にするとき、制御回路は比較回路を非活性状態にすることが可能である。

内部電圧レベル発生回路は、昇圧回路または降圧回路であることが可能である。

比較回路は、基準電圧の数と等しい数の比較回路からなり、この比較回路は、対応する各基準電圧に基づき内部電圧レベルを比較し、制御回路は、各比較回路に共通に接続される 1 つの制御回路からなり、各比較回路は、1 つの制御回路により共通に、活性状態又は非活性状態が制御されることが可能である。

制御回路は、論理ゲート回路とラッチ回路とを含み、論理ゲート回路の出力がラッチ回路の入力と接続され、ラッチ回路の制御端子は、比較回路の出力側に接続されることが可能である。

比較回路は、カレントミラー差動増幅器を含むことが可能である。

電圧レベル制御回路は、更に分圧回路を含み、この分圧回路は内部電圧レベル発生回路の出力側とグランド端子との間に直列に接続され、分圧回路の出力は比較回路の入力に接続され、比較回路は、内部電圧レベルの分圧電圧を基準電圧と比較することが可能である。

比較回路の入力は、内部電圧レベル発生回路の出力側に直接接続され、比較回路は、内部電圧レベルを基準電圧と直接比較することが可能である。

前記少なくとも 1 つの基準電圧は、単一の基準電圧からなり、この単一の基準電圧に基づき内部電圧レベルの許容範囲の下限を定めることで、内部電圧レベルが許容範囲の下限以下となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化することが可能である。

前記少なくとも 1 つの基準電圧は、単一の基準電圧からなり、この単一の基準電圧に基づき内部電圧レベルの許容範囲の上限を定めることで、内部電圧レベルが許容範囲の上限以上となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化することが可能である。

前記少なくとも 1 つの基準電圧は、2 つの基準電圧からなり、この 2 つの基準電圧に基づき内部電圧レベルの許容範囲の上限および下限を定めることで、

内部電圧レベルが許容範囲の上限以上又は下限以下となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化することが可能である。

制御回路は、論理ゲート回路からなり、論理ゲート回路の出力が比較回路に接続され、内部電圧レベル発生回路の活性状態及び非活性状態に関係なく、論理ゲート回路の出力信号のみに基づき比較回路の活性状態又は非活性状態が制御されることが可能である。

論理ゲート回路の出力信号は、予め定められたパルス幅を有するパルス信号であり、比較回路が活性状態になってから、パルス幅に相当する時間が経過した後、内部電圧レベル発生回路の活性状態及び非活性状態に関係なく、比較回路が非活性状態になることが可能である。

更に、本発明は、複数のワード線を有するメモリーセルアレイ領域と、

この複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、

この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、

前記電圧レベル制御回路は、この電圧レベル制御回路を活性状態又は非活性状態に制御する制御回路を含むことを特徴とする半導体記憶装置を提供する。

電圧レベル制御回路は、さらに比較回路を含み、この比較回路の入力側を、内部電圧レベル発生回路の出力側に接続することで、前記内部電圧レベルを前記少なくとも1つの基準電圧に基づき比較し、内部電圧レベル発生回路を活性状態又は非活性状態に制御するための内部電圧レベル発生回路制御信号を、比較回路の出力側から出力し、

前記制御回路は、この比較回路に接続され、比較回路を活性状態又は非活性状態に制御することが可能である。

更に、本発明は、複数のワード線を有するメモリーセルアレイ領域と、

この複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、

この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御す

る電圧レベル制御回路とを含む半導体記憶装置において、

前記電圧レベル制御回路は、前記ワード線の活性化信号に応答して活性化し、前記ワード線に供給される内部電圧レベルが許容電圧レベル範囲に達したとき非活性化することを特徴とする半導体記憶装置を提供する。

更に、本発明は、複数のワード線を有するメモリーセルアレイ領域と、

この複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、

この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、

前記電圧レベル制御回路は、前記ワード線の活性化信号の立ち上がり時点より所定時間前に活性化し、前記ワード線に供給される内部電圧レベルが許容電圧レベル範囲に達したとき非活性化することを特徴とする半導体記憶装置を提供する。

更に、本発明は、複数のワード線を有するメモリーセルアレイ領域と、

この複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、

この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、

前記電圧レベル制御回路は、前記ワード線の活性化信号に応答して活性化し、所定の時間だけ経過したときに非活性化することを特徴とする半導体記憶装置を提供する。

更に、本発明は、複数のワード線を有するメモリーセルアレイ領域と、

リフレッシュ動作を制御するリフレッシュ信号を発生するリフレッシュ信号発生回路と、

前記複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、

この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、

前記電圧レベル制御回路は、前記リフレッシュ信号に応答して活性化および



非活性化することを特徴とする半導体記憶装置を提供する。

更に、本発明は、複数のワード線を有するメモリーセルアレイ領域と、

この複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、

この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、

前記半導体記憶装置のスタンバイ状態において、前記電圧レベル制御回路は、前記ワード線の活性化信号に応答して活性化し、前記ワード線に供給される内部電圧レベルが許容電圧レベル範囲に達したとき非活性化し、前記半導体記憶装置のアクティブ状態において常時活性化することを特徴とする半導体記憶装置を提供する。

許容電圧レベル範囲が、予め設定される第1の基準値と第2の基準値とで規定されることが可能である。

前記内部電圧レベル発生回路は昇圧回路であることが可能である。

前記内部電圧レベル発生回路は降圧回路であることが可能である。

更に、本発明は、外部電源電圧に基づき内部電圧レベルを発生する内部電圧レベル発生回路と、

この内部電圧レベル発生回路に接続され内部電圧レベルの供給を受ける内部回路と、

この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体装置において、

前記電圧レベル制御回路は、前記内部回路の活性化信号の立ち上がりに応答して活性化し、前記内部回路に供給される内部電圧レベルが許容電圧レベルに達し、かつ、前記

内部回路の活性化信号がオフとなったとき非活性化することを特徴とする半導体装置を提供する。

前記電圧レベル制御回路は、前記電圧レベルを予め設定される基準値に等しくなるように制御することが可能である。

前記内部電圧レベル発生回路は昇圧回路であることが可能である。

前記内部電圧レベル発生回路は降圧回路であることが可能である。

更に、本発明は、外部電源電圧に基づき発生される内部電圧レベルを検出して制御する内部電圧レベル制御回路の活性状態及び非活性状態を制御信号に基づき制御する方法において、

電圧レベル制御回路を活性化した後、前記内部電圧レベルが許容電圧レベル範囲に到達したときに前記内部電圧レベル制御回路を非活性化することを特徴とする制御方法を提供する。

前記許容電圧レベル範囲は、予め設定される第1の基準値と第2の基準値とで規定されることが可能である。

前記内部電圧レベルは外部電源電圧を昇圧した電圧レベルであることが可能である。

前記内部電圧レベルは外部電源電圧を降圧した電圧レベルであることが可能である。

前記内部電圧レベルは半導体記憶装置のワード線に供給される電圧レベルであり、前記制御信号は前記ワード線の活性化信号であることが可能である。

前記半導体記憶装置はリフレッシュ動作を必要とするメモリセルを有する半導体記憶装置であって、前記ワード線の活性化信号は、半導体記憶装置のメモリセルをリフレッシュするリフレッシュ動作を制御する信号であり、前記内部電圧レベルが前記許容電圧レベル範囲の上限値以上となったとき前記内部電圧レベル制御回路を非活性化することが可能である。

更に、本発明は、外部電源電圧から発生されワード線に供給される電圧レベルを検出して制御する電圧レベル制御回路を有する半導体記憶装置の電圧レベル制御方法において、

前記ワード線の活性化信号に応答して前記電圧レベル制御回路を活性化し、前記ワード線に供給される電圧レベルが許容電圧レベル範囲に達したとき前記電圧レベル制御回路を非活性化することを特徴とする半導体記憶装置の電圧レベル制御方法を提供する。

更に、本発明は、半導体記憶装置のリード線に供給するため、外部電源電圧に基づき発生される内部電圧レベルを検出して制御する内部電圧レベル制御回

路の活性状態及び非活性状態を制御信号に基づき制御する方法において、

前記ワード線の活性化信号の活性化のタイミングより所定時間前に前記内部電圧レベル制御回路を活性化し、前記ワード線に供給される内部電圧レベルが許容電圧レベル範囲に達したとき前記電圧レベル制御回路を非活性化することとを特徴とする制御方法を提供する。

更に、本発明は、半導体記憶装置のワード線に供給するため、外部電源電圧に基づき発生される内部電圧レベルを検出して制御する内部電圧レベル制御回路の活性状態及び非活性状態を制御信号に基づき制御する方法において、

前記ワード線の活性化信号に応答して前記内部電圧レベル制御回路を活性化し、所定の時間だけ経過したときに前記電圧レベル制御回路を非活性化することとを特徴とする制御方法を提供する。

更に、本発明は、リフレッシュ動作を必要とするメモルセルを有する半導体記憶装置のワード線に供給するため、外部電源電圧に基づき発生される内部電圧レベルを検出して制御する内部電圧レベル制御回路の活性状態及び非活性状態を制御信号に基づき制御する方法において、

リフレッシュ動作を制御する信号に応答して前記電圧レベル制御回路の活性化および非活性化を行うことを特徴とする制御方法を提供する。

更に、本発明は、半導体記憶装置のワード線に供給するため、外部電源電圧に基づき発生される内部電圧レベルを検出して制御する内部電圧レベル制御回路の活性状態及び非活性状態を制御信号に基づき制御する方法において、

半導体記憶装置のスタンバイ状態において、前記ワード線の活性化信号に応答して前記電圧レベル制御回路を活性化し、前記ワード線に供給される電圧レベルが許容電圧レベル範囲に達したとき前記電圧レベル制御回路を非活性化し、

半導体記憶装置のアクティブ状態において、前記電圧レベル制御回路を常時活性状態に維持することを特徴とする制御方法を提供する。

前記許容電圧レベル範囲は、予め設定される第1の基準値と第2の基準値とで規定されることが可能である。

前記内部電圧レベルは外部電源電圧を昇圧した電圧レベルであることが可能である。

前記内部電圧レベルは外部電源電圧を降圧した電圧レベルであることが可能である。

更に、本発明は、内部回路に供給するため外部電源電圧に基づき発生される内部電圧レベルを検出して制御する電圧レベル制御回路の活性状態及び非活性状態を制御信号に基づき制御する方法において、

前記内部回路を活性化する活性化信号に応答して前記電圧レベル制御回路を活性化し、前記内部回路に供給される内部電圧レベルが許容電圧レベル範囲に達し、かつ、前記内部回路の活性化信号がオフとなったとき、前記電圧レベル制御回路を非活性化することを特徴とする制御方法を提供する。

前記電圧レベル制御回路は、前記内部電圧レベルを予め設定される基準値に等しくなるように制御することが可能である。

前記内部電圧レベルは、外部電源電圧を昇圧した電圧レベルであることが可能である。

前記内部電圧レベルは、外部電源電圧を降圧した電圧レベルであることが可能である。

#### 図面の簡単な説明

図1は、従来のDRAMの要部の構成を示すブロック図である。

図2は、同DRAMの動作を説明するためのタイミングチャートである。

図3は、従来のSRAMの要部の構成を示すブロック図である。

図4は、同SRAMの動作を説明するためのタイミングチャートである。

図5は、従来の疑似SRAMの要部の構成を示すブロック図である。

図6は、同疑似SRAMの動作を説明するためのタイミングチャートである。

図7は、本発明の第1の実施形態による電圧レベル制御回路の構成を示す回路図である。

図8は、同電圧レベル制御回路を用いた疑似SRAMの要部の構成を示すブロック図である。

図9は、同実施形態の動作を説明するためのタイミングチャートである。

図10は、本発明の第2の実施形態による電圧レベル制御回路の動作を説明するためのタイミングチャートである。

図11は、本発明の第3の実施形態による電圧レベル制御回路の動作を説明するためのタイミングチャートである。

図12は、本発明の第4の実施形態による電圧レベル制御回路の動作を説明するためのタイミングチャートである。

図13は、本発明の第5の実施形態による電圧レベル制御回路の構成を示す回路図である。

図14は、同実施形態の動作を説明するためのタイミングチャートである。

図15は、本発明の第6の実施形態による電圧レベル制御回路をバックバイアス発生回路とともに用いる場合の回路構成を示すブロック図である。

図16は、本発明の第6の実施形態による電圧レベル制御回路で使用するバックバイアス発生回路の回路図である。

#### 発明を実施するための最良の形態

以下、図面を参照し本発明の実施の形態について説明する。図7は本発明の第1の実施形態による電圧レベル制御回路の構成を示す回路図である。図8は図7に示す電圧レベル制御回路を有する疑似SRAMの要部の構成を示すブロック図である。図9は図7に示す電圧レベル制御回路の動作を説明するためのタイミングチャートである。

図8に示す本発明の回路が図5に示す従来技術の回路と異なる点は、論理ゲートが設けられたことと、電圧レベル制御回路の構成である。デバイスの電源投入時、デバイスのスタンバイ状態におけるリフレッシュ時、デバイスのアクティブ状態におけるリフレッシュ時、およびデバイスのアクティブ状態における書込／読出時において、デバイスに組込まれた電圧レベル制御回路10の各回路構成部がアクティブ状態になるが、それ以外るとき、すなわちデバイスのスタンバイ状態における非リフレッシュ時およびデバイスのアクティブ状態における非リフレッシュ時、非書込／読出時においては、電圧レベル制御回路10の各回路構成部がインアクティブ状態とされる。これにより、電圧レベル制

御回路 10 で消費される電力の節減を図っている。

本発明に係る疑似 S R A M は、電圧レベル制御回路 10、メモリセルアレイ 2、リングオシレータ 3、昇圧回路 4、およびワードデコーダ 5、ロウデコーダ 6、リフレッシュタイミング発生回路 7 並びにロウイネーブル発生回路 8 に加えオアゲート 9 を有する。このオアゲート 9 は、デバイスの電源投入時に電圧レベル制御回路 10 の各回路構成部をアクティブ状態にするため設けられる。

電圧レベル制御回路 10 は、メモリセルアレイ 2 のワード線へ印加する内部電圧としてのブースト電圧  $V_{bt}$  のレベルを制御する内部電圧レベル制御信号 A を、基準電圧  $V_{ref1}$ 、 $V_{ref2}$  に基づいて発生する。リングオシレータ 3 の入力側は、電圧レベル制御回路 10 の出力側に接続され、内部電圧レベル制御信号 A は、リングオシレータ 3 へ入力される。リングオシレータ 3 は、発振回路であり、インバータを奇数個リング状に直列接続して構成し得る。電圧レベル制御回路 1 から出力された内部電圧レベル制御信号 A が "H" (ハイレベル) の時、リングオシレータ 3 は、アクティブ状態になり、発振出力 B を出力する。

昇圧回路 4 の入力側は、リングオシレータ 3 の出力側に接続され、この発振出力 B は昇圧回路 4 に入力される。昇圧回路 4 はチャージポンプ回路で構成し得る。昇圧回路 4 は、リングオシレータ 3 の出力 B を利用して電源電圧  $V_{DD}$  を段階的に昇圧し、ワード線を駆動するブースト電圧  $V_{bt}$  として出力する。昇圧回路 4 の出力側は、ワードデコーダ 5 に接続され、ブースト電圧  $V_{bt}$  はワードデコーダ 5 へ入力される。この場合、ブースト電圧  $V_{bt}$  は、電源電圧  $V_{DD}$  より高い電圧レベル、例えば  $(V_{DD} + 1.5V)$  または  $(V_{DD} + 2V)$  である。ワードデコーダ 5 は、ロウデコーダ 6 の出力側に接続され、ロウデコーダ 6 からの出力によって選択されたワード線へブースト電圧  $V_{bt}$  を供給する。メモリセルアレイ 2 は、D R A M のメモリセルアレイと同様の構成を有するメモリセルアレイである。

リフレッシュタイミング発生回路 7 は、一定時間間隔で、メモリセルアレイ 2 中のメモリセルをリフレッシュするためのリフレッシュ信号およびリフレッ

シュすべきメモリセルのアドレスを指定するリフレッシュアドレスを発生する。この一定時間間隔は、データ保持が保証される期間内に定められる。尚、リフレッシュ信号を発生する時間間隔は、データ保持が保証される期間内であれば常に一定でなくとも良い。リフレッシュタイミング発生回路 7 の出力側は、ロウイネーブル発生回路 8 へ接続され、リフレッシュ信号をロウイネーブル発生回路 8 へ入力する。また、リフレッシュアドレスをロウデコーダ 6 へ入力する。

ロウイネーブル発生回路 8 は、ライトイネーブル信号 WE、チップセレクト信号 CS およびメモリセルアレイ 2 の読出／書込アドレス A d d の入力を受け、アドレス A d d が変化する毎に、ロウイネーブル信号 L T を発生する。また、このロウイネーブル発生回路 8 は、リフレッシュタイミング発生回路 7 がリフレッシュ信号を出力するタイミングで信号 L T を発生する。ロウイネーブル発生回路 8 の出力側は、ロウデコーダ 6 に接続され、ロウイネーブル信号 L T をロウデコーダ 6 へ入力する。ロウデコーダ 6 は、ロウイネーブル信号 L T の入力を受けた時点で外部入力された読出／書込アドレス A d d をデコードし、デコード結果をワードデコーダ 5 へ入力する。

オアゲート 9 は、第一及び第二の入力を有する。第一の入力には、電源投入時に外部からパワーオンリセット信号 P O R が入力される。第二の入力は、ロウイネーブル発生回路 8 の出力側に接続され、ロウイネーブル信号 L T の入力を受ける。更に、オアゲート 9 の出力は、電圧レベル制御回路 10 に接続される。オアゲート 9 は、パワーオンリセット信号 P O R とロウイネーブル信号 L T との論理和（オア）をとり、その結果を論理和信号 P L として出力し、この論理和信号 P L を電圧レベル制御回路 10 へ入力する。ここで、パワーオンリセット信号 P O R は、電源投入時に一定期間” H ”（ハイレベル）となり、ブースト電圧 V b t を所定のレベルまで昇圧することで、パワーオンして間もない期間におけるリフレッシュ、データ読出し、データ書込み動作を保証する。また、ロウイネーブル信号 L T は、外部入力される読出／書込アドレス A d d が変化するタイミングおよびリフレッシュタイミング発生回路 7 からリフレッシュ信号が出力されるタイミングでロウイネーブル発生回路 8 から出力される。

電圧レベル制御回路 10 は、昇圧回路 4 の出力側に接続され、昇圧回路 4 か

ら出力されたブースト電圧 $V_{bt}$ が、ワードデコーダ5へ入力されるとともに、電圧レベル制御回路10へフィードバックされる。更に、電圧レベル制御回路10は、第一及び第二の基準電圧 $V_{ref1}$ および $V_{ref2}$ の入力を受ける。第一の基準電圧 $V_{ref1}$ は、ブースト電圧 $V_{bt}$ の許容電圧レベル範囲の下限を定めるものであり、一方、第二の基準電圧 $V_{ref2}$ は、ブースト電圧 $V_{bt}$ の許容電圧レベル範囲の上限を定めるものである。すなわち、第一の基準電圧 $V_{ref1}$ は、ブースト電圧 $V_{bt}$ が許容電圧レベル範囲の下限以下になったことを電圧レベル制御回路10が検出するための基準電圧である。第二の基準電圧 $V_{ref2}$ は、ブースト電圧 $V_{bt}$ が許容電圧レベル範囲の上限以上になったことを電圧レベル制御回路10が検出するための基準電圧である。許容電圧レベル範囲の下限を定める第一の基準電圧 $V_{ref1}$ は、メモリセルの読み出し又は書き込みを正しく行うために必要な電圧範囲の最小値に基づき定められる。許容電圧レベル範囲の上限を定める第二の基準電圧 $V_{ref2}$ は、電圧レベル制御回路10を使用する半導体装置の耐電圧規格に基づき定められる。

電圧レベル制御回路10は、第一の基準電圧 $V_{ref1}$ および第二の基準電圧 $V_{ref2}$ に基づき定まる許容電圧レベル範囲内にブースト電圧 $V_{bt}$ を維持するよう、内部電圧レベル制御信号Aを出力する。前述したように、デバイスの電源投入時、デバイスのスタンバイ状態におけるリフレッシュ時、デバイスのアクティブ状態におけるリフレッシュ時、およびデバイスのアクティブ状態における書込／読出時において、電圧レベル制御回路10の各回路構成部がアクティブ状態になる。デバイスのスタンバイ状態における非リフレッシュ時およびデバイスのアクティブ状態における非リフレッシュ時、非書込／読出時においては、電圧レベル制御回路10の各回路構成部がインアクティブ状態になる。

昇圧回路4の出力側からフィードバックされたブースト電圧 $V_{bt}$ が、第一の基準電圧 $V_{ref1}$ に基づき定められる許容電圧レベル範囲の下限以下となったとき、電圧レベル制御回路10は、アクティブ状態になる。そして内部電圧レベル制御信号Aをアクティブ状態にして昇圧回路4をアクティブ状態にし、ブースト電圧 $V_{bt}$ の電圧レベルを上昇させる。ブースト電圧 $V_{bt}$ の電圧レベル



が、第一の基準電圧  $V_{ref1}$  および第二の基準電圧  $V_{ref2}$  で定まる許容電圧レベル範囲内にあるとき、電圧レベル制御回路 10 は、アクティブ状態にあり、内部電圧レベル制御信号 A をアクティブ状態に維持し、ブースト電圧  $V_{bt}$  は上昇し続ける。

ブースト電圧  $V_{bt}$  の電圧レベルが、第二の基準電圧  $V_{ref2}$  に基づき定められる許容電圧レベル範囲の上限以上となったとき、電圧レベル制御回路 10 は、アクティブ状態からインアクティブ状態になり、内部電圧レベル制御信号 A をアクティブ状態からインアクティブ状態にして、昇圧回路 4 をインアクティブ状態にし、ブースト電圧  $V_{bt}$  の電圧レベルの上昇を停止させる。昇圧回路 4 をインアクティブ状態にすると、ブースト電圧  $V_{bt}$  の電圧レベルは、時間経過と共に徐々に低下する。従って、ブースト電圧  $V_{bt}$  の電圧レベルは、許容電圧レベル範囲内をゆっくり低下し、徐々に第一の基準電圧  $V_{ref1}$  に基づき定められる許容電圧レベル範囲の下限に近づく。この間、電圧レベル制御回路 10 は、インアクティブ状態にあり、内部電圧レベル制御信号 A をインアクティブ状態に維持する。例えば、デバイスがスタンバイ状態にあるとき、リフレッシュ動作の間は、電圧レベル制御回路 10 がインアクティブ状態にあるため、電圧レベル制御回路 10 で消費される電力が節減される。

やがて、ブースト電圧  $V_{bt}$  の電圧レベルが、第一の基準電圧  $V_{ref1}$  に基づき定められる許容電圧レベル範囲の下限以下となったとき、再び電圧レベル制御回路 10 は、インアクティブ状態からアクティブ状態になり、内部電圧レベル制御信号 A をインアクティブ状態からアクティブ状態にする。これにより、昇圧回路をインアクティブ状態からアクティブ状態にし、ブースト電圧  $V_{bt}$  の電圧レベルを上昇させる。

電圧レベル制御回路 10 は、以下の回路動作をするように回路を構成する。

すなわち、電圧レベル制御回路 10 は、第一の基準電圧  $V_{ref1}$  および第二の基準電圧  $V_{ref2}$  が入力される第一及び第二の入力と、昇圧回路 4 の出力側と接続され、昇圧回路 4 から出力されたブースト電圧  $V_{bt}$  が入力される第三の入力と、前記オアゲート 9 の出力と接続され、オアゲート 9 から出力された論理和信号 PL が入力される第四の入力とを有する。電圧レベル制御回路 1

0は、昇圧回路4から出力されたブースト電圧 $V_{bt}$ を第一の基準電圧 $V_{ref1}$ および第二の基準電圧 $V_{ref2}$ と比較する。電圧レベル制御回路10は、内部電圧レベル制御信号Aをアクティブ状態およびインアクティブ状態に切り替えることで、昇圧回路4をアクティブ状態およびインアクティブ状態に切り替えて、昇圧回路4から出力されるブースト電圧 $V_{bt}$ を、第一の基準電圧 $V_{ref1}$ および第二の基準電圧 $V_{ref2}$ で定まる許容電圧レベル範囲内に維持する。

更に、内部電圧レベル制御信号Aがアクティブ状態にあるとき、電圧レベル制御回路10はアクティブ状態となる。そして、内部電圧レベル制御信号Aがインアクティブ状態であって、電源投入時、リフレッシュ動作時、或いは書込／読出時のいずれかにおいて、電圧レベル制御回路10はアクティブ状態となる。しかし、内部電圧レベル制御信号Aがインアクティブ状態であって、電源投入時、リフレッシュ動作時、或いは書込／読出時のいずれでもない時、電圧レベル制御回路10はインアクティブ状態となる回路構成を有する。

上述の説明では、電圧レベル制御回路10は、第一の基準電圧 $V_{ref1}$ および第二の基準電圧 $V_{ref2}$ の双方に基づきブースト電圧 $V_{bt}$ の電圧レベルを制御した。すなわち、電圧レベル制御回路10は、昇圧回路4から出力されたブースト電圧 $V_{bt}$ の電圧レベルを、第一の基準電圧 $V_{ref1}$ および第二の基準電圧 $V_{ref2}$ に基づき定める許容電圧レベル範囲に維持するように制御する。

しかしながら、電圧レベル制御回路10を組込む擬似SRAMの動作条件によっては、必ずしも第一の基準電圧 $V_{ref1}$ および第二の基準電圧 $V_{ref2}$ の双方が必要となるとは限らない。例えば、第一の基準電圧 $V_{ref1}$ および第二の基準電圧 $V_{ref2}$ の少なくとも一方に基づきブースト電圧 $V_{bt}$ の電圧レベルを制御することも可能である。

例えば、第一の基準電圧 $V_{ref1}$ のみを利用してブースト電圧 $V_{bt}$ の電圧レベルを制御する場合、電圧レベル制御回路10は以下のように動作する。

昇圧回路4の出力側からフィードバックされたブースト電圧 $V_{bt}$ が、第一の基準電圧 $V_{ref1}$ に基づき定められる許容電圧レベル範囲の下限以下となっ

たとき、電圧レベル制御回路10は、アクティブ状態になる。そして内部電圧レベル制御信号Aをアクティブ状態にして昇圧回路4をアクティブ状態にし、ブースト電圧Vbtの電圧レベルを上昇させる。電圧レベル制御回路10がアクティブ状態となってから、予め定められた一定時間を経過するまで、電圧レベル制御回路10は、アクティブ状態にあり、内部電圧レベル制御信号Aをアクティブ状態に維持し、ブースト電圧Vbtは上昇し続ける。

電圧レベル制御回路10がアクティブ状態となってから、予め定められた一定時間を経過した後、電圧レベル制御回路10は、アクティブ状態からインアクティブ状態になり、内部電圧レベル制御信号Aをアクティブ状態からインアクティブ状態にして、昇圧回路4をインアクティブ状態にし、ブースト電圧Vbtの電圧レベルの上昇を停止させる。昇圧回路4をインアクティブ状態にすると、ブースト電圧Vbtの電圧レベルは、その後時間経過と共に徐々に低下する。従って、ブースト電圧Vbtの電圧レベルは、許容電圧レベル範囲内をゆっくり低下し、徐々に第一の基準電圧Vref1に基づき定められる許容電圧レベル範囲の下限に近づく。この間、電圧レベル制御回路10は、インアクティブ状態にあり、内部電圧レベル制御信号Aをインアクティブ状態に維持する。例えば、デバイスがスタンバイ状態にあるとき、リフレッシュ動作の間は、電圧レベル制御回路10がインアクティブ状態にあるため、電圧レベル制御回路10で消費される電力が節減される。

やがて、ブースト電圧Vbtの電圧レベルが、再び第一の基準電圧Vref1に基づき定められる許容電圧レベル範囲の下限以下となったとき、再び電圧レベル制御回路10は、インアクティブ状態からアクティブ状態になり、内部電圧レベル制御信号Aをインアクティブ状態からアクティブ状態にする。これにより、昇圧回路をインアクティブ状態からアクティブ状態にし、ブースト電圧Vbtの電圧レベルを上昇させる。

第一の基準電圧Vref1に基づきブースト電圧Vbtの電圧レベルを制御する場合においても、電圧レベル制御回路10は、以下のように構成し得る。

電圧レベル制御回路10は、第一の基準電圧Vref1が入力される第一入力と、昇圧回路4の出力側と接続され、昇圧回路4から出力されたブースト電

圧 $V_{bt}$ が入力される第二の入力と、前記オアゲート9の出力と接続され、オアゲート9から出力された論理和信号 $PL$ が入力される第三の入力とを有する。電圧レベル制御回路10は、昇圧回路4から出力されたブースト電圧 $V_{bt}$ を第一の基準電圧 $V_{ref1}$ と比較する。電圧レベル制御回路10は、内部電圧レベル制御信号 $A$ をアクティブ状態およびインアクティブ状態に切り替えることで、昇圧回路4をアクティブ状態およびインアクティブ状態に切り替えて、昇圧回路4から出力されるブースト電圧 $V_{bt}$ を、第一の基準電圧 $V_{ref1}$ に基づき定められる許容電圧レベル範囲の下限以上に維持する。

更に、内部電圧レベル制御信号 $A$ がアクティブ状態にあるとき、電圧レベル制御回路10はアクティブ状態となる。そして、内部電圧レベル制御信号 $A$ がインアクティブ状態であって、電源投入時、リフレッシュ動作時、或いは書込／読出時のいずれかにおいて、電圧レベル制御回路10はアクティブ状態となる。しかし、内部電圧レベル制御信号 $A$ がインアクティブ状態であって、電源投入時、リフレッシュ動作時、或いは書込／読出時のいずれでもない時、電圧レベル制御回路10はインアクティブ状態となる回路構成を有する。

例えば、第二の基準電圧 $V_{ref2}$ のみを利用してブースト電圧 $V_{bt}$ の電圧レベルを制御する場合、電圧レベル制御回路10は以下のように動作する。

電圧レベル制御回路10がアクティブ状態にあり、内部電圧レベル制御信号 $A$ をアクティブ状態にして昇圧回路4をアクティブ状態にし、ブースト電圧 $V_{bt}$ の電圧レベルを上昇させる。ブースト電圧 $V_{bt}$ の電圧レベルが、第二の基準電圧 $V_{ref2}$ に基づき定められる許容電圧レベル範囲の上限より低い場合、電圧レベル制御回路10は、アクティブ状態にあり、内部電圧レベル制御信号 $A$ をアクティブ状態に維持し、ブースト電圧 $V_{bt}$ は上昇し続ける。

ブースト電圧 $V_{bt}$ の電圧レベルが、第二の基準電圧 $V_{ref2}$ に基づき定められる許容電圧レベル範囲の上限以上となったとき、電圧レベル制御回路10は、アクティブ状態からインアクティブ状態になり、内部電圧レベル制御信号 $A$ をアクティブ状態からインアクティブ状態にして、昇圧回路4をインアクティブ状態にし、ブースト電圧 $V_{bt}$ の電圧レベルの上昇を停止させる。昇圧回路4をインアクティブ状態にすると、ブースト電圧 $V_{bt}$ の電圧レベルは、時間経

過と共に徐々に低下する。従って、ブースト電圧 $V_{bt}$ の電圧レベルは、許容電圧レベル範囲内をゆっくり低下する。電圧レベル制御回路10がアクティブ状態からインアクティブ状態になって予め定められた一定期間中は、電圧レベル制御回路10は、インアクティブ状態にあり、内部電圧レベル制御信号Aをインアクティブ状態に維持する。例えば、デバイスがスタンバイ状態にあるとき、リフレッシュ動作の間は、電圧レベル制御回路10がインアクティブ状態にあるため、電圧レベル制御回路10で消費される電力が節減される。

やがて、電圧レベル制御回路10がアクティブ状態からインアクティブ状態になって予め定められた一定期間が経過すると、再び電圧レベル制御回路10は、インアクティブ状態からアクティブ状態になり、内部電圧レベル制御信号Aをインアクティブ状態からアクティブ状態にする。これにより、昇圧回路をインアクティブ状態からアクティブ状態にし、ブースト電圧 $V_{bt}$ の電圧レベルを上昇させる。

第二の基準電圧 $V_{ref2}$ の1方に基づきブースト電圧 $V_{bt}$ の電圧レベルを制御する場合においても、電圧レベル制御回路10は、以下のように構成し得る。

電圧レベル制御回路10は、第二の基準電圧 $V_{ref2}$ が入力される第一入力と、昇圧回路4の出力側と接続され、昇圧回路4から出力されたブースト電圧 $V_{bt}$ が入力される第二の入力と、前記オアゲート9の出力と接続され、オアゲート9から出力された論理和信号 $PL$ が入力される第三の入力とを有する。電圧レベル制御回路10は、昇圧回路4から出力されたブースト電圧 $V_{bt}$ を第二の基準電圧 $V_{ref2}$ と比較する。電圧レベル制御回路10は、内部電圧レベル制御信号Aをアクティブ状態およびインアクティブ状態に切り替えることで、昇圧回路4をアクティブ状態およびインアクティブ状態に切り替えて、昇圧回路4から出力されるブースト電圧 $V_{bt}$ を、第二の基準電圧 $V_{ref2}$ に基づき定められる許容電圧レベル範囲の上限以下に維持する。

更に、内部電圧レベル制御信号Aがアクティブ状態にあるとき、電圧レベル制御回路10はアクティブ状態となる。そして、内部電圧レベル制御信号Aがインアクティブ状態であって、電源投入時、リフレッシュ動作時、或いは書込

／読出時のいずれかにおいて、電圧レベル制御回路10はアクティブ状態となる。しかし、内部電圧レベル制御信号Aがインアクティブ状態であって、電源投入時、リフレッシュ動作時、或いは書込／読出時のいずれでもない時、電圧レベル制御回路10はインアクティブ状態となる回路構成を有する。

次に、本発明に係る新規な電圧レベル制御回路10の回路構成の1例について、図7を参照して詳述する。図7に示す回路構成はあくまで図8に示す本発明に係る新規な電圧レベル制御回路10を具体的に実現するための好適な1例であって、この回路構成に限るものではない。電圧レベル制御回路10は、第一の基準電圧 $V_{ref1}$  および第二の基準電圧 $V_{ref2}$  の双方に基づきブースト電圧 $V_{bt}$  の電圧レベルを制御するものとする。すなわち、以下の回路構成は、内部電圧レベル制御信号Aをアクティブ状態およびインアクティブ状態に切り替えることで、昇圧回路4をアクティブ状態およびインアクティブ状態に切り替えて、昇圧回路4から出力されるブースト電圧 $V_{bt}$  を、第一の基準電圧 $V_{ref1}$  および第二の基準電圧 $V_{ref2}$  で定まる許容電圧レベル範囲内に維持することに加え、更に、内部電圧レベル制御信号Aがアクティブ状態にあるとき、電圧レベル制御回路10はアクティブ状態となり、そして、内部電圧レベル制御信号Aがインアクティブ状態であって、電源投入時、リフレッシュ動作時、或いは書込／読出時のいずれかにおいて、電圧レベル制御回路10はアクティブ状態となるが、しかし、内部電圧レベル制御信号Aがインアクティブ状態であって、電源投入時、リフレッシュ動作時、或いは書込／読出時のいずれでもない時、電圧レベル制御回路10はインアクティブ状態となる回路構成である。

図7に示すように、電圧レベル制御回路10は、ラッチ回路11、ブースト電圧 $V_{bt}$  を分圧する分圧抵抗12、13、NチャンネルMOSフィールドエフェクトトランジスタからなる第一のスイッチングトランジスタ14、第一及び第二のカレントミラー差動増幅器20、27、PチャンネルMOSフィールドエフェクトトランジスタからなる第二及び第三のスイッチングトランジスタ30、31、第一及び第二のトランスファゲート34、35、並びに第一及び第二のインバータ36、37からなる。

ラッチ回路 11 の入力、オアゲート 9 の出力に接続され、論理和信号 PL の入力を受ける。ラッチ回路 11 の制御端子は、電圧レベル制御回路 10 の出力に接続され、電圧レベル制御回路 10 の出力から出力された内部電圧レベル制御信号 A は、ラッチ回路 11 の制御端子にフィードバックされる。ラッチ回路 11 の出力はノード N1 に接続される。

内部電圧レベル制御信号 A がハイレベル “H”、すなわち内部電圧レベル制御信号 A がアクティブ状態にある場合、入力信号 PL をラッチする。すなわち、ラッチ回路 11 の出力には、入力信号 PL は現れない。このときラッチ信号 La はハイレベル “H” となる。

一方、内部電圧レベル制御信号 A がロウレベル “L”、すなわち内部電圧レベル制御信号 A がインアクティブ状態にある場合、入力信号 PL をラッチせずスルーさせる。すなわち、ラッチ回路 11 の出力には、ラッチ回路 11 をスルーした入力信号 PL がラッチ信号 La として現れる。

入力信号 PL は、デバイスの電力投入時、デバイスのスタンバイ状態及びアクティブ状態におけるリフレッシュ動作時、およびデバイスのアクティブ状態における書込み/読出し時にハイレベル “H” になる。一方、非リフレッシュ動作時および非書込み/読出し時にはロウレベル “L” となる。

よって内部電圧レベル制御信号 A がハイレベル “H”、すなわち内部電圧レベル制御信号 A がアクティブ状態にある場合、或いは内部電圧レベル制御信号 A がロウレベル “L”、すなわち内部電圧レベル制御信号 A がインアクティブ状態であってもデバイスの電力投入時、デバイスのスタンバイ状態及びアクティブ状態におけるリフレッシュ動作時、およびデバイスのアクティブ状態における書込み/読出し時には、ラッチ信号 La はハイレベル “H” となる。

一方、内部電圧レベル制御信号 A がロウレベル “L”、すなわち内部電圧レベル制御信号 A がインアクティブ状態であって非リフレッシュ動作時および非書込み/読出し時には、ラッチ信号 La はロウレベル “L” となる。

ブースト電圧 V<sub>bt</sub> を分圧する分圧抵抗 12、13 および第一のスイッチングトランジスタ 14 は、昇圧回路 4 の出力とグランド端子との間に直列に接続され、分圧回路を形成する。分圧抵抗 12 は、昇圧回路 4 の出力と分圧回路の出

力との間に接続される。分圧抵抗 13 は、分圧回路の出力と第一のスイッチングトランジスタ 14 との間に接続される。第一のスイッチングトランジスタ 14 は、分圧抵抗 13 グランド端子との間に直列に接続される。分圧回路の出力には分圧電圧  $V_B$  が現れる。分圧回路の出力は、ノード N2 に接続される。第一のスイッチングトランジスタ 14 のゲート電極は、ノード N1 に接続され、ラッチ信号  $L_a$  の入力を受ける。

第一のスイッチングトランジスタ 14 は、Nチャンネル MOS フィールドエフェクトトランジスタなので、ラッチ信号  $L_a$  がハイレベル “H” のときオンし、ラッチ信号  $L_a$  がロウレベル “L” のときオフする。

内部電圧レベル制御信号 A がハイレベル “H”、すなわち内部電圧レベル制御信号 A がアクティブ状態にある場合、或いは内部電圧レベル制御信号 A がロウレベル “L”、すなわち内部電圧レベル制御信号 A がインアクティブ状態であってもデバイスの電力投入時、デバイスのスタンバイ状態及びアクティブ状態におけるリフレッシュ動作時、およびデバイスのアクティブ状態における書込み/読出し時には、ラッチ信号  $L_a$  はハイレベル “H” となるので、第一のスイッチングトランジスタ 14 はオンし、分圧回路に電流  $i_3$  が流れる。これによりブースト電圧  $V_{bt}$  の分圧電圧  $V_B$  が分圧回路の出力に現れ、ノード N2 のポテンシャルが分圧電圧  $V_B$  と等しくなる。このとき分圧回路はアクティブ状態にある。

一方、内部電圧レベル制御信号 A がロウレベル “L”、すなわち内部電圧レベル制御信号 A がインアクティブ状態であって非リフレッシュ動作時および非書込み/読出し時には、ラッチ信号  $L_a$  はロウレベル “L” となるので、第一のスイッチングトランジスタ 14 はオフし、分圧回路に電流は流れない。このとき分圧回路はインアクティブ状態にある。

第一のカレントミラー差動増幅器 20 は、3つのNチャンネル MOS フィールドエフェクトトランジスタ 15、16、17 と2つのPチャンネル MOS フィールドエフェクトトランジスタ 18、19 とからなる。2つのNチャンネル MOS フィールドエフェクトトランジスタ 15、17 と1つのPチャンネル MOS フィールドエフェクトトランジスタ 18 は、外部電圧としての電源電圧  $V$



DD とグランド線との間に直列接続される。2つのNチャンネルMOSフィールドエフェクトトランジスタ16、17と1つのPチャンネルMOSフィールドエフェクトトランジスタ19は、外部電圧としての電源電圧VDD とグランド線との間に直列接続される。

NチャンネルMOSフィールドエフェクトトランジスタ15のゲート電極は、ノードN2に接続され、分圧電圧VBが印加される。NチャンネルMOSフィールドエフェクトトランジスタ17のゲート電極は、ノードN1に接続され、ラッチ信号Laが印加される。PチャンネルMOSフィールドエフェクトトランジスタ18、19のゲート電極は、互いに接続されると共に、NチャンネルMOSフィールドエフェクトトランジスタ15のドレインに接続される。NチャンネルMOSフィールドエフェクトトランジスタ16のゲート電極には、第一の基準電圧Vref1が印加される。NチャンネルMOSフィールドエフェクトトランジスタ16のドレインは、第一のカレントミラー差動増幅器20の出力に接続され、NチャンネルMOSフィールドエフェクトトランジスタ16のドレイン電圧が、第一のカレントミラー差動増幅器20の出力に出力電圧V1として現れる。

ラッチ信号Laがハイレベル“H”になると、第一のスイッチングトランジスタ14がオンし、分圧回路に電流i3が流れる。これによりブースト電圧Vblの分圧電圧VBが分圧回路の出力に現れ、ノードN2のポテンシャルがこの分圧電圧VBと等しくなる。このとき分圧回路はアクティブ状態にある。そして、この分圧電圧VBがNチャンネルMOSフィールドエフェクトトランジスタ15のゲート電極に印加される。さらにNチャンネルMOSフィールドエフェクトトランジスタ17のゲート電極にも、ハイレベル“H”のラッチ信号Laが印加され、NチャンネルMOSフィールドエフェクトトランジスタ17がオンすることで、第一のカレントミラー差動増幅器20がアクティブ状態になり、NチャンネルMOSフィールドエフェクトトランジスタ17に電流i1が流れる。すなわち、ラッチ信号Laがハイレベル“H”になると、第一のカレントミラー差動増幅器20がアクティブ状態になる。

分圧電圧VBが第一の基準電圧Vref1より大きいとき、第一のカレントミラ

一差動増幅器 20 の出力電圧  $V_1$  は、ハイレベル “H” になる。分圧電圧  $V_B$  が第一の基準電圧  $V_{ref1}$  より小さいとき、第一のカレントミラー差動増幅器 20 の出力電圧  $V_1$  は、ロウレベル “L” になる。従って、第一のカレントミラー差動増幅器 20 は、その出力電圧  $V_1$  に基づき、分圧電圧  $V_B$  が第一の基準電圧  $V_{ref1}$  より大きい小さいかを検出する。

ラッチ信号  $L_a$  がロウレベル “L” になると、第一のスイッチングトランジスタ 14 がオフし、分圧回路には電流が流れず、分圧回路はインアクティブ状態になる。さらに、NチャンネルMOSフィールドエフェクトトランジスタ 17 のゲート電極にも、ロウレベル “L” のラッチ信号  $L_a$  が印加され、NチャンネルMOSフィールドエフェクトトランジスタ 17 がオフすることで、第一のカレントミラー差動増幅器 20 がインアクティブ状態になる。すなわち、ラッチ信号  $L_a$  がロウレベル “L” になると、第一のカレントミラー差動増幅器 20 がインアクティブ状態になる。

第二のカレントミラー差動増幅器 27 は、3つのNチャンネルMOSフィールドエフェクトトランジスタ 22、23、24と2つのPチャンネルMOSフィールドエフェクトトランジスタ 25、26とからなる。2つのNチャンネルMOSフィールドエフェクトトランジスタ 22、24と1つのPチャンネルMOSフィールドエフェクトトランジスタ 25は、外部電圧としての電源電圧  $V_{DD}$  とグランド線との間に直列接続される。2つのNチャンネルMOSフィールドエフェクトトランジスタ 23、24と1つのPチャンネルMOSフィールドエフェクトトランジスタ 26は、外部電圧としての電源電圧  $V_{DD}$  とグランド線との間に直列接続される。

NチャンネルMOSフィールドエフェクトトランジスタ 22のゲート電極は、ノード  $N_2$  に接続され、分圧電圧  $V_B$  が印加される。NチャンネルMOSフィールドエフェクトトランジスタ 24のゲート電極は、ノード  $N_1$  に接続され、ラッチ信号  $L_a$  が印加される。PチャンネルMOSフィールドエフェクトトランジスタ 25、26のゲート電極は、互いに接続されると共に、NチャンネルMOSフィールドエフェクトトランジスタ 22のドレインに接続される。NチャンネルMOSフィールドエフェクトトランジスタ 23のゲート電極には、第

二の基準電圧  $V_{ref2}$  が印加される。NチャンネルMOSフィールドエフェクトトランジスタ23のドレインは、第二のカレントミラー差動増幅器27の出力に接続され、NチャンネルMOSフィールドエフェクトトランジスタ23のドレイン電圧が、第二のカレントミラー差動増幅器27の出力に出力電圧  $V_2$  として現れる。

ラッチ信号  $L_a$  がハイレベル “H” になると、第二のスイッチングトランジスタ14がオンし、分圧回路に電流  $i_3$  が流れる。これによりブースト電圧  $V_{bt}$  の分圧電圧  $V_B$  が分圧回路の出力に現れ、ノードN2のポテンシャルがこの分圧電圧  $V_B$  と等しくなる。このとき分圧回路はアクティブ状態にある。そして、この分圧電圧  $V_B$  がNチャンネルMOSフィールドエフェクトトランジスタ22のゲート電極に印加される。さらにNチャンネルMOSフィールドエフェクトトランジスタ24のゲート電極にも、ハイレベル “H” のラッチ信号  $L_a$  が印加され、NチャンネルMOSフィールドエフェクトトランジスタ24がオンすることで、第二のカレントミラー差動増幅器27がアクティブ状態になり、NチャンネルMOSフィールドエフェクトトランジスタ24に電流  $i_2$  が流れる。すなわち、ラッチ信号  $L_a$  がハイレベル “H” になると、第二のカレントミラー差動増幅器27がアクティブ状態になる。

分圧電圧  $V_B$  が第二の基準電圧  $V_{ref2}$  より大きいとき、第二のカレントミラー差動増幅器27の出力電圧  $V_2$  は、ハイレベル “H” になる。分圧電圧  $V_B$  が第二の基準電圧  $V_{ref2}$  より小さいとき、第二のカレントミラー差動増幅器27の出力電圧  $V_2$  は、ロウレベル “L” になる。従って、第二のカレントミラー差動増幅器27は、その出力電圧  $V_1$  に基づき、分圧電圧  $V_B$  が第二の基準電圧  $V_{ref2}$  より大きいのか小さいかを検出する。

ラッチ信号  $L_a$  がロウレベル “L” になると、第二のスイッチングトランジスタ14がオフし、分圧回路には電流が流れず、分圧回路はインアクティブ状態になる。さらに、NチャンネルMOSフィールドエフェクトトランジスタ24のゲート電極にも、ロウレベル “L” のラッチ信号  $L_a$  が印加され、NチャンネルMOSフィールドエフェクトトランジスタ24がオフすることで、第二のカレントミラー差動増幅器27がインアクティブ状態になる。すなわち、ラ

ッチ信号L aがロウレベル“L”になると、第二のカレントミラー差動増幅器27がインアクティブ状態になる。

すなわち、ラッチ信号L aがハイレベル“H”になると、分圧回路、並びに第一及び第二のカレントミラー差動増幅器20、27は、アクティブ状態になり、分圧回路には電流i3が流れ、第一のカレントミラー差動増幅器20には電流i1が流れ、第二のカレントミラー差動増幅器27には電流i2が流れることで、電力を消費する。

一方、ラッチ信号L aがロウレベル“L”になると、分圧回路、並びに第一及び第二のカレントミラー差動増幅器20、27は、インアクティブ状態になり、電流が流れないため、電力を消費しない。

PチャンネルMOSフィールドエフェクトトランジスタからなる第二のスイッチングトランジスタ30は、第一のカレントミラー差動増幅器20の出力と電源電圧との間に接続される。第二のスイッチングトランジスタ30のゲート電極は、ノードN1と接続され、ラッチ信号L aが印加される。

PチャンネルMOSフィールドエフェクトトランジスタからなる第三のスイッチングトランジスタ31は、第二のカレントミラー差動増幅器27の出力と電源電圧との間に接続される。第三のスイッチングトランジスタ31のゲート電極は、ノードN1と接続され、ラッチ信号L aが印加される。

ラッチ信号L aがハイレベル“H”になると、分圧回路、並びに第一及び第二のカレントミラー差動増幅器20、27は、アクティブ状態になるが、このとき第二及び第三のスイッチングトランジスタ30、31はオフし、第一及び第二のカレントミラー差動増幅器20、27の出力は、電源電圧VDDから切離される。

ラッチ信号L aがロウレベル“L”になると、分圧回路、並びに第一及び第二のカレントミラー差動増幅器20、27は、インアクティブ状態になるが、このとき第二及び第三のスイッチングトランジスタ30、31はオンし、第一及び第二のカレントミラー差動増幅器20、27の出力は、外部電圧としての電源電圧VDDと導通することで、第一及び第二のカレントミラー差動増幅器20、27の出力電圧が、電源電圧VDDまで強制的に引き上げられる。

第一のトランスファゲート 34 は、第一のカレントミラー差動増幅器 20 の出力と第二のインバータ 37 の入力との間に並列接続された、一組の N チャンネル MOS フィールドエフェクトトランジスタ及び P チャンネル MOS フィールドエフェクトトランジスタからなる。

第二のトランスファゲート 35 は、第二のカレントミラー差動増幅器 27 の出力と第二のインバータ 37 の入力との間に並列接続された、一組の N チャンネル MOS フィールドエフェクトトランジスタ及び P チャンネル MOS フィールドエフェクトトランジスタからなる。

第一のトランスファゲート 34 の N チャンネル MOS フィールドエフェクトトランジスタのゲート電極は、第二のトランスファゲート 35 の P チャンネル MOS フィールドエフェクトトランジスタのゲート電極と接続されると共に、これらゲート電極は、第一のインバータ 36 の出力と接続される。

第一のトランスファゲート 34 の P チャンネル MOS フィールドエフェクトトランジスタのゲート電極は、第二のトランスファゲート 35 の N チャンネル MOS フィールドエフェクトトランジスタのゲート電極と接続されると共に、これらゲート電極は、第一のインバータ 36 の入力と接続される。

第二のインバータ 37 の出力は、電圧レベル制御回路 10 の出力と接続されると共に、ラッチ回路 11 の制御端子に接続される。

第二のインバータ 37 の出力がハイレベル “H” になると、第一のトランスファゲート 34 は、オフする。第二のインバータ 37 の出力がロウレベル “L” になると、第一のトランスファゲート 34 は、オンする。

第二のインバータ 37 の出力がハイレベル “H” になると、第二のトランスファゲート 35 は、オンする。第二のインバータ 37 の出力がロウレベル “L” になると、第二のトランスファゲート 35 は、オフする。

次に、上述した回路の動作を図 9 に示すタイミングチャートを参照して説明する。

まず、電源投入時においては、ラッチ回路 11 の初期リセットによってラッチ信号  $L_a$  が “L” となり、したがって、P チャンネル MOS フィールドエフェクトトランジスタ 30, 31 が共にオン状態となる。これにより、トランス

ファゲート 34, 35 のいずれがオン状態にあっても、レベル制御回路 1 の出力信号 A が "L" となる。信号 A が "L" となると、トランスファゲート 34 がオン、35 がオフとなる。またこの時、Nチャンネル MOS フィールドエフェクトトランジスタ 14, 17, 24 はいずれもオフ状態にある。

このような状態において、パワーオンリセット信号 POR がオアゲート 9 へ印加されると、オアゲート 9 の出力信号 PL が "H" となる。この時、信号 A は "L" であり、ラッチ回路 11 はスルー状態にあり、したがって、ラッチ信号 La が "H" となる。ラッチ信号 La が "H" となると、Pチャンネル MOS フィールドエフェクトトランジスタ 30, 31 が共にオフとなる一方、Nチャンネル MOS フィールドエフェクトトランジスタ 14, 17, 24 がオンとなり、抵抗 12, 13 による分圧回路、カレントミラー差動増幅器 20, 27 が各々アクティブ状態となる。そして、この時、まだ、リングオッシレータ 3 および昇圧回路 4 が共に動作を開始していないことから、ブースト電圧 Vbt が低レベルにあり、したがって、電圧 VB が基準電圧 Vref1 より小であり、カレントミラー差動増幅器 20 の出力電圧 V1 が "L" となり、レベル制御回路 1 の出力信号 A が "H" となる。信号 A が "H" になると、トランスファゲート 34 がオフ、35 がオンとなり、以後、電圧 V2 (この時点で "L") がトランスファゲート 35 を介してインバータ 37 へ供給される。また、信号 A が "H" になると、ラッチ回路 11 がその時の信号 PL の値 "H" をラッチする。

信号 A が "H" となり、この "H" 信号がリングオッシレータ 3 へ供給されると、リングオッシレータ 3 が発振動作を開始し、発振信号 B が昇圧回路 4 へ出力される。昇圧回路 4 はこの発振信号 B を利用してブースト電圧 Vbt を階段状に昇圧し、ワードデコーダ 5 へ出力すると共に、電圧レベル制御回路 10 へフィードバックする。

ブースト電圧 Vbt が徐々に上昇し、基準電圧 Vref1 より大になると、電圧 V1 が "H" となるが、この時、トランスファゲート 34 はオフであり、したがって、回路動作に影響はない。ブースト電圧 Vbt がさらに上昇し、基準電圧 Vref2 より大になると、電圧 V2 が "H" となる。これにより、信号 A が "L" となり、リングオッシレータ 3, 昇圧回路 4 の動作が停止する。また、信号 A

が” L ” になると、ラッチ回路 11 がスルー状態となる。この時点で、パワーオンリセット信号 POR がすでに” L ” になっていると、ラッチ信号  $L_a$  が” L ” となり、これにより、P チャンネル MOS フィールドエフェクトトランジスタ 30, 31 がオン、N チャンネル MOS フィールドエフェクトトランジスタ 14, 17, 24 がオフとなる。

このように、電源投入時において、ブースト電圧  $V_{bt}$  の昇圧動作が行われ、ブースト電圧  $V_{bt}$  を分圧した電圧  $V_B$  が基準電圧  $V_{ref2}$  に達すると、昇圧動作が終了する。以後、スタンバイ状態の場合は、約  $16 \mu\text{sec}$  毎にリフレッシュタイミング発生回路 7 からリフレッシュ信号が出力され、ロウイネーブル発生回路 8 へ供給される。ロウイネーブル発生回路 8 は該リフレッシュ信号を受け、信号  $L_T$  を発生し、オアゲート 9 およびロウデコーダ 6 へ出力する。また、リフレッシュタイミング発生回路 7 は、リフレッシュ信号と同時にリフレッシュアドレスを発生し、ロウデコーダ 6 へ出力する。ロウデコーダ 6 はそのリフレッシュアドレスをデコードし、その結果をワードデコーダ 5 へ出力する。

以下、上述したスタンバイ状態における電圧レベル制御回路 10 の動作を図 9 を参照しながら説明する。いま、時刻  $t_1$  において、信号  $L_T$  (” H ”) がオアゲート 9 へ供給されると、オアゲート 9 の出力信号  $P_L$  が” H ” となり、したがって、ラッチ信号  $L_a$  が” H ” となる。ラッチ信号  $L_a$  が” H ” になると、前述したように、P チャンネル MOS フィールドエフェクトトランジスタ 30, 31 が共にオフとなる一方、N チャンネル MOS フィールドエフェクトトランジスタ 14, 17, 24 がオンとなり、抵抗 12, 13 による分圧回路、第一及び第二のカレントミラー差動増幅器 20, 27 が各々アクティブ状態となる。

この時点で、電圧  $V_B$  が第一及び第二の基準電圧  $V_{ref1}$  と  $V_{ref2}$  の間にあったとすると、電圧  $V_1$  は” H ” の状態を続け、一方、電圧  $V_2$  は” L ” となる。この時、トランスファゲート 35 がオフ状態にあり、したがって、電圧  $V_2$  の変化は回路動作に影響を与えず、信号  $A$  は” L ” の状態を続ける。なお、時刻  $t_1$  において、電圧  $V_B$  が第一の基準電圧  $V_{ref1}$  以下であった場合は、時刻  $t_1$  において電圧  $V_1$  も” L ” となる。

信号  $L_T$  の立ち上がりにおいてリフレッシュが開始されると、ブースト電圧

V<sub>bt</sub> の電力消費が大きくなり、同電圧V<sub>bt</sub> が徐々に低下する。そして、時刻 t<sub>2</sub> において、電圧V<sub>B</sub> が第一の基準電圧V<sub>ref1</sub> より小になると、電圧V<sub>1</sub> が” L ” となり、これにより、信号Aが” H ” となる。信号Aが” H ” になると、リングオシレータ 3, 昇圧回路 4 の動作が開始され、以後ブースト電圧V<sub>bt</sub> が順次上昇する。また、信号Aが” H ” になると、ラッチ回路 11 が、この時” H ” 状態にある信号P<sub>L</sub>をラッチし、また、トランスファゲート 34 がオフ、35 がオンとなる。そして、トランスファゲート 35 がオンになると、以後、電圧V<sub>2</sub> (この時点で” L ”) がインバータ 37 へ供給される。

次に、ブースト電圧V<sub>bt</sub> が上昇し、時刻 t<sub>3</sub> において、電圧V<sub>B</sub> が第二の基準電圧V<sub>ref2</sub> より大になると、電圧V<sub>2</sub> が” H ” となり、したがって、信号A が” L ” となる。信号Aが” L ” になると、リングオシレータ 3, 昇圧回路 4 の動作が停止する。また、信号Aが” L ” になると、トランスファゲート 34 がオン、35 がオフとなる。また、信号Aが” L ” になると、ラッチ回路 11 がスルー状態となり、この時点で、信号P<sub>L</sub>がすでに” L ” になっていることから、ラッチ信号L<sub>a</sub>が” L ” となる。これにより、PチャンネルMOS フィールドエフェクトトランジスタ 30, 31 がオン、NチャンネルMOS フィールドエフェクトトランジスタ 14, 17, 24 がオフとなる。

以後、リフレッシュタイミング発生回路 7 からリフレッシュ信号が出力される毎に上記の動作が繰り返される。そして、例えば、時刻 t<sub>4</sub> において、疑似 S RAM がスタンバイ状態からアクティブ状態に移行し、時刻 t<sub>5</sub> においてチップセレクト信号C<sub>S</sub>が立ち上がり、次いで、外部アドレスA<sub>dd</sub>が変化すると、ロウイネーブル発生回路 8 がこの変化を検出し、信号L<sub>T</sub>を出力する。以後、上記と同様の過程によってブースト電圧V<sub>bt</sub> の昇圧が行われる。

このように、図 7 の回路は、信号L<sub>T</sub>が立ち上がると、ラッチ信号L<sub>a</sub>が” H ” となり、NチャンネルMOS フィールドエフェクトトランジスタ 14, 17, 24 がオンとなり、抵抗 12, 13 の直列回路、カレントミラー差動増幅器 20、27 がアクティブ状態となる。これにより、抵抗 12, 13 の直列回路、カレントミラー差動増幅器 20、27 に各々電流 i<sub>3</sub>、i<sub>1</sub>、i<sub>2</sub> が流れる。そして、ブースト電圧V<sub>bt</sub> が基準電圧V<sub>ref2</sub> まで上昇した時点でラッチ信



号L aを”L”とし、NチャンネルMOSフィールドエフェクトトランジスタ14, 17, 24をオフとすることによって、抵抗12, 13の直列回路、カレントミラー差動増幅器20, 27に流れる電流 $i_3$ ,  $i_1$ ,  $i_2$ をいずれもオフとする。

上述したように、第1の実施形態においては、メモリセルアレイ2がアクセスされる時、すなわち、電源投入時、スタンバイ状態におけるリフレッシュ時、アクティブ状態におけるリフレッシュ時、およびアクティブ状態における書込／読出時において、電圧レベル制御回路10の各部がアクティブ状態とされ、それ以外のタイミングにおいては、電圧レベル制御回路10の各部がインアクティブ状態とされる。これにより、レベル制御回路10で消費される電力の節減を図っている。

一般的なDRAMにおいてはリフレッシュタイミングがシステム側で制御されるため、不規則なりフレッシュタイミングが発生することになり、長いリフレッシュ間隔が存在する。このとき電圧レベル制御回路をパワーオフしてしまうと、放電によって、データ保持が保証されるレベル以下までワードレベルが低下する可能性がある。つまり、DRAMでは、ワードレベルを保持するために常に昇圧する必要があるため、電圧レベル制御回路も常にパワーオンとするのが一般的である。

これに対し、上述した疑似SRAMは、デバイス外部からはリフレッシュ動作が見えない仕様となっており、デバイス内部で、規則的なリフレッシュタイミングを自動的に発生する。この場合は、データ保持が保証される範囲で次のリフレッシュタイミングが発生される。つまり、電圧レベル制御回路10をパワーオフしても、データが破壊するレベルまでのワードレベルが低下することがなく、したがって、データ保持の保証と電流削減とを両立することができる。

次に本発明の第2の実施形態について図10を参照しながら説明する。この実施形態が上述した第1の実施形態と異なる点は、ロウイネーブル発生回路8において、図10に示すように、信号LTの立ち上がりから一定時間Tだけ前に立ち上がるパルス信号RPを形成し、信号LTに変えてオアゲート9へ供給する点である。また、この場合、基準電圧Vref1を高いレベルに設定しておく。

このような構成によれば、パルス信号 $R_P$ が立ち上がり、したがって信号 $P_L$ が立ち上がり、これによりラッチ11の出力 $L_a$ が立ち上がると、電圧レベル制御回路10がアクティブ状態となると共に、信号 $A$ が立ち上がり、これによりブースト電圧 $V_{bt}$ の昇圧が開始される。そして、電圧 $V_B$ が基準電圧 $V_{ref2}$ に達すると、信号 $A$ が立ち下がり、したがって、ラッチ回路11の出力 $L_a$ が立ち下がり、電圧レベル制御回路10がインアクティブ状態となる。この時点のわずかに後に信号 $L_T$ が立ち上がり、メモリセルアレイ2のアクセスが行われる。この場合、ブースト電圧 $V_{bt}$ は既に十分にレベルアップされており、したがって、アクセス途中において電圧 $V_{bt}$ のブースト処理は必要ない。

このように、上記第2の実施形態では、信号 $L_T$ が立ち上がるわずかに前にブースト電圧 $V_{bt}$ を基準電圧 $V_{ref2}$ の高さまで上げてしまう。このような構成によっても、上記第1の実施形態と同様な効果を得ることができる。

次に、本発明の第3の実施形態について図11を参照しながら説明する。この第3の実施形態においては、信号 $L_T$ のパルス幅を、図11に示すように、ブースト電圧 $V_{bt}$ の昇圧に必要となる時間よりわずかに大としておく。また、図7におけるラッチ回路11を設けず、オアゲート9の出力を直接ノード $N_1$ に接続する。更に、第二のインバータ37の出力を第一のインバータの入力に接続するが、ラッチ回路11を設けないので、第二のインバータ37の出力からの出力信号がノード $N_1$ にフィードバックされない。そして、オアゲート9の出力から出力された信号 $P_L$ を直接ノード $N_1$ に供給する。

このような構成によれば、信号 $L_T$ が立ち上がると同時に、電圧レベル制御回路10がアクティブ状態となり、電流 $i_1 \sim i_3$ が流れる。そして、電圧 $V_B$ が基準電圧 $V_{ref1}$ より小になるとブースト電圧 $V_{bt}$ の昇圧が開始される。また、電圧 $V_B$ が基準電圧 $V_{ref2}$ に達するとブースト電圧 $V_{bt}$ の昇圧が停止される。なお、この時点で電圧レベル制御回路10がインアクティブ状態になることはない。次いで、信号 $L_T$ が立ち下がると、電流 $i_1 \sim i_3$ もオフとなり、電圧レベル制御回路10がインアクティブ状態となる。

すなわち、電圧レベル制御回路10のアクティブ状態及びインアクティブ状態は、出力信号 $A$ の活性状態及び非活性状態に依存せず、オアゲート9からの

出力信号PLのみにしたがって制御される。したがって、オアゲート9からの出力信号PLにより、電圧レベル制御回路10がインアクティブ状態になることで、電圧レベル制御回路10で消費される電力を節減できる。

次に、本発明の第4の実施形態について図12を参照しながら説明する。この第4の実施形態においては、図12に示すように、電圧レベル制御回路10が適用されるデバイス、例えば擬似SRAMのアクティブ状態において、オアゲート9からの出力信号PLをハイレベル”H”に固定する。これにより、ラッチ回路11の出力信号Laもハイレベル”H”に固定され、したがって、擬似SRAMのアクティブ状態にあるとき、電圧レベル制御回路10は、常時アクティブ状態に維持され、ブースト電圧Vbtと基準電圧Vref1、Vref2との大小関係のみでリングオシレータ3および昇圧回路4の動作が制御される。

そして、擬似SRAMがスタンバイ状態に戻ると、オアゲート9からの出力信号PLのハイレベル”H”固定から解除され、これにより、ラッチ回路11の出力信号Laもハイレベル”H”固定から解除される。したがって、電圧レベル制御回路10は、前記第1の実施形態と同様の制御を受ける。したがって、擬似SRAMがスタンバイ状態にある時、電圧レベル制御回路10で消費される電力を節減できる。

次に、本発明の第5の実施形態について図13を参照しながら説明する。図13は同実施形態の構成を示す回路図であり、この図に示す回路は、DRAM、擬似SRAM等の内部回路45へ供給する電圧VINTのレベルを制御する内部電圧レベル制御回路である。ここで、電圧VINTは、電源電圧VDDをPチャンネルMOSフィールドエフェクトトランジスタ46によって降圧した電圧であり、この回路は、通常、内部降圧回路といわれる。

すなわち、本実施形態に係る回路は、オアゲート48、ラッチ回路49、カレントミラー差動増幅器58、第一及び第二のスイッチングトランジスタ46、60、第一のインバータ62、及び内部電圧レベルを供給する内部回路45とからなる。

オアゲート48の第一の入力には、信号PLが入力される。この信号PLは図8に示す信号PLと同じ信号であり、パワーオンリセット信号PORおよび

信号LTのオアをとった信号である。信号CSはチップセレクト信号である。ラッチ回路49の入力は、オアゲート48の出力に接続され、オアゲート48から出力された論理和信号の入力を受ける。ラッチ回路49の制御端子は、インバータ62の出力と接続され、インバータ62からの出力信号を受ける。ラッチ回路49は、インバータ62からの出力信号がハイレベル”H”の時、入力された論理和信号をラッチする。一方、インバータ62からの出力信号がロウレベル”L”の時、入力された論理和信号をスルーさせる。

カレントミラー差動増幅器58は、3つのNチャンネルMOSフィールドエフェクトトランジスタ51、52、53及び2つのPチャンネルMOSフィールドエフェクトトランジスタ54、55とからなる。2つのNチャンネルMOSフィールドエフェクトトランジスタ51、53と1つのPチャンネルMOSフィールドエフェクトトランジスタ54は、外部電圧としての電源電圧VDDとグランド線との間に直列接続される。2つのNチャンネルMOSフィールドエフェクトトランジスタ52、53と1つのPチャンネルMOSフィールドエフェクトトランジスタ55は、外部電圧としての電源電圧VDDとグランド線との間に直列接続される。

NチャンネルMOSフィールドエフェクトトランジスタ51のゲート電極は、内部電圧VINTに接続され、内部電圧VINTが印加される。NチャンネルMOSフィールドエフェクトトランジスタ53のゲート電極は、ノードN1に接続され、ラッチ回路から出力されたラッチ信号Laが印加される。PチャンネルMOSフィールドエフェクトトランジスタ54、55のゲート電極は、互いに接続されると共に、NチャンネルMOSフィールドエフェクトトランジスタ51のドレインに接続される。NチャンネルMOSフィールドエフェクトトランジスタ52のゲート電極には、第一の基準電圧Vref1が印加される。NチャンネルMOSフィールドエフェクトトランジスタ52のドレインは、カレントミラー差動増幅器58の出力に接続され、NチャンネルMOSフィールドエフェクトトランジスタ52のドレイン電圧が、カレントミラー差動増幅器58の出力に出力電圧Vaとして現れる。

第一及び第二のスイッチングトランジスタ46、60は、PチャンネルMO

Sフィールドエフェクトトランジスタからなる。第二のスイッチングトランジスタ60は、電源電圧VDDとノードN2との間に接続される。第二のスイッチングトランジスタ60のゲート電極は、ノードN1に接続され、ラッチ回路49から出力されたラッチ信号Laが印加される。第一のスイッチングトランジスタ46は、電源電圧VDDと内部電圧VINTとの間に接続され、電源電圧VDDから内部電圧VINTの電圧レベルを降圧する降圧回路を形成する。第一のスイッチングトランジスタ46のゲート電極は、ノードN2を介しカレントミラー差動増幅器58の出力に接続される。更に、第一のスイッチングトランジスタ46のゲート電極は、インバータ62を介して、ラッチ回路49の制御端子に接続される。

したがって、降圧回路を形成する第一のスイッチングトランジスタ46は、カレントミラー差動増幅器58からの出力信号Vaにしたがって、そのアクティブ状態及びインアクティブ状態が制御される。

ラッチ回路49から出力されたラッチ信号Laが、ハイレベル“H”のとき、カレントミラー差動増幅器58は、アクティブ状態になり、カレントミラー差動増幅器58出力が接続されるノードN2は、電源電圧VDDから切離され、カレントミラー差動増幅器58の出力信号Vaが降圧回路を形成する第一のスイッチングトランジスタ46のゲート電極に印加されると共に、インバータ62を介してラッチ回路49の制御端子にも印加される。

降圧回路を形成する第一のスイッチングトランジスタ46がオン状態にあるとき、すなわち降圧回路がアクティブ状態にあるとき、カレントミラー差動増幅器58の出力信号Vaは、ロウレベル“L”であるので、このロウレベル“L”はインバータ62で反転され、ハイレベル“H”信号がラッチ回路49の制御端子に印加される。よって、ラッチ回路49の出力信号La1は、ハイレベル“H”となり、カレントミラー差動増幅器58は、アクティブ状態になる。つまり降圧回路がアクティブ状態にあるとき、カレントミラー差動増幅器58もアクティブ状態になる。

一方、降圧回路を形成する第一のスイッチングトランジスタ46がオフ状態にあるとき、すなわち降圧回路がインアクティブ状態にあるとき、カレントミ

ラー差動増幅器 58 の出力信号  $V_a$  は、ハイレベル “H” であるので、このハイレベル “H” はインバータ 62 で反転され、ロウレベル “L” 信号がラッチ回路 49 の制御端子に印加される。よって、ラッチ回路 49 の出力信号  $L_{a1}$  は、オアゲート 9 からの論理和信号をスルーし、ノード  $N1$  に供給する。すなわち、カレントミラー差動増幅器 58 は、論理和信号がハイレベル “H” のときアクティブ状態になり、論理和信号がロウレベル “L” のときインアクティブ状態になる。つまり降圧回路がインアクティブ状態にあるときは、カレントミラー差動増幅器 58 は、オアゲート 9 からの論理和信号にしたがってそのアクティブ状態及びインアクティブ状態が制御される。論理和信号がロウレベル “L” のとき、カレントミラー差動増幅器 58 は、インアクティブ状態になるので、回路での電力消費を節減できる。

次に、上記構成によるレベル制御回路の動作を図 14 に示すタイミングチャートを参照して更に説明する。

まず、初期状態において、ラッチ回路 49 の出力信号  $L_{a1}$  は “L” となり、この結果、NチャンネルMOSフィールドエフェクトトランジスタ 53 がオフ、PチャンネルMOSフィールドエフェクトトランジスタ 60 がオンとなる。NチャンネルMOSフィールドエフェクトトランジスタ 53 がオフになると、カレントミラー差動増幅器 58 がインアクティブ状態となる。また、PチャンネルMOSフィールドエフェクトトランジスタ 60 がオンになると、PチャンネルMOSフィールドエフェクトトランジスタ 46 がオフとなり、内部回路 45 へ電圧供給が行われない。

次に、信号  $PL$  が “H” となるか、または、チップセレクト信号  $CS$  が “H” になると、ラッチ 49 の出力信号  $L_{a1}$  が “H” となる。信号  $L_{a1}$  が “H” になると、NチャンネルMOSフィールドエフェクトトランジスタ 53 がオンとなり、カレントミラー差動増幅器 58 がアクティブ状態となる。また、信号  $L_{a1}$  が “H” になると、PチャンネルMOSフィールドエフェクトトランジスタ 60 がオフとなる。これにより、電圧  $V_a$  が低下し、インバータ 62 の出力が “H” となってラッチ 49 がオアゲート 48 の出力 “H” をラッチする。

以後、カレントミラー差動増幅器 58 が、電圧  $V_{INT}$  と基準電圧  $V_{ref}$  と

を比較し、その比較結果によってPチャンネルMOSフィールドエフェクトトランジスタ46を制御する。すなわち、電圧 $V_{INT}$ が基準電圧 $V_{ref}$ より低くなると、電圧 $V_a$ が低くなって、PチャンネルMOSフィールドエフェクトトランジスタ46がオンとなり、内部回路45に電流を供給しながら出力を充電し始める。あるレベルまで充電し、電圧 $V_{INT}$ が基準電圧 $V_{ref}$ より高くなると、電圧 $V_a$ が上昇し、PチャンネルMOSフィールドエフェクトトランジスタ46がオフとなり、充電が停止する。また、電圧 $V_a$ が一定値以上に上昇すると、インバータ62の出力が”L”となり、ラッチ49がスルーとなる。これにより、信号 $L_T$ が”L”となり、あるいは、チップセレクト信号 $CS$ が”L”となった時点で信号 $L_{a1}$ が”L”となり、NチャンネルMOSフィールドエフェクトトランジスタ53がオフ、PチャンネルMOSフィールドエフェクトトランジスタ60がオンとなる。

このように、上記第5の実施形態によれば、電圧 $V_{INT}$ が基準電圧 $V_{ref}$ より大となった後、信号 $L_T$ またはチップセレクト信号 $CS$ が”L”になると、N・FET53がオフとなり、カレントミラー差動増幅器58に流れる電流 $i$ が0となる。これにより、回路電力の節減を図ることができる。

なお、上記第1～第5の実施形態はそれぞれ、本発明を疑似SRAM、DRAM等の昇圧回路、内部降圧回路に適用した場合であるが、この発明は、例えば、基板電圧レベル発生回路あるいは基板バックバイアス発生回路(BBG回路)等にも適用することができる。

次に、本発明の第6の実施形態について図15を参照しながら説明する。図15は本発明を基板バックバイアス発生回路(BBG回路)に適用した際の回路構成の一例を示す図である。

基板バックバイアス発生回路は、外部電源電圧 $V_{DD}$ とグラウンドレベル( $GND$ )との間の電圧を用いてグラウンドレベルよりも低い電圧、例えば $-1V$ を内部基準電圧として発生する回路である。

本発明に係る回路は、電圧レベル制御回路20、リングオシレータ3、昇圧回路4、リフレッシュタイミング発生回路7、バックバイアス発生回路18、レベル判定回路19及びオアゲート9を有する。このオアゲート9は、リフレ

ッシュ動作時及びバックバイアス発生回路 18 をアクティブ状態にする時に電圧レベル制御回路 20 の各回路構成部をアクティブ状態にするため設けられる。

電圧レベル制御回路 20 は、回路の内部電圧としてのブースト電圧  $V_{bt}$  のレベルを制御する内部電圧レベル制御信号 A を、第一及び第二の基準電圧  $V_{ref1}$ 、 $V_{ref2}$  に基づいて発生する。リングオシレータ 3 の入力側は、電圧レベル制御回路 20 の出力側に接続され、内部電圧レベル制御信号 A は、リングオシレータ 3 へ入力される。リングオシレータ 3 は、発振回路であり、インバータを奇数個リング状に直列接続して構成し得る。電圧レベル制御回路 20 から出力された内部電圧レベル制御信号 A が "H" (ハイレベル) の時、リングオシレータ 3 は、アクティブ状態になり、発振出力 B を出力する。

昇圧回路 4 の入力側は、リングオシレータ 3 の出力側に接続され、この発振出力 B は昇圧回路 4 に入力される。昇圧回路 4 はチャージポンプ回路で構成し得る。昇圧回路 4 は、リングオシレータ 3 の出力 B を利用して電源電圧  $V_{DD}$  を段階的に昇圧し、回路の内部電圧としてブースト電圧  $V_{bt}$  を出力する。

この回路を擬似 S R A M に適用する場合、昇圧回路 4 の出力側は、擬似 S R A M のワードデコーダに接続され、ブースト電圧  $V_{bt}$  はワードデコーダへ入力される。この場合、ブースト電圧  $V_{bt}$  は、電源電圧  $V_{DD}$  より高い電圧レベル、例えば ( $V_{DD} + 1.5V$ ) または ( $V_{DD} + 2V$ ) である。昇圧回路 4 の出力は、さらに電圧レベル制御回路 20 にフィードバックされる。

リフレッシュタイミング発生回路 7 は、一定時間間隔で、メモリセルアレイ 2 中のメモリセルをリフレッシュするためのリフレッシュ信号およびリフレッシュすべきメモリセルのアドレスを指定するリフレッシュアドレスを発生する。この一定時間間隔は、データ保持が保証される期間内に定められる。尚、リフレッシュ信号を発生する時間間隔は、データ保持が保証される期間内であれば常に一定でなくとも良い。リフレッシュタイミング発生回路 7 の出力側は、オアゲート 9 の第一の入力に接続され、リフレッシュ信号 S R が第一の入力に入力される。

バックバイアス発生回路 18 は、第一及び第二の入力を有する。第一の入力は、昇圧回路 4 の出力に接続され、ブースト電圧  $V_{bt}$  の入力を受け、このブー



スト電圧  $V_{bt}$  を利用してグラウンドレベルより低いバックバイアス電圧  $V_{BBG}$  を発生する。バックバイアス電圧  $V_{BBG}$  は、例えば  $GND - 1V$  であってもよい。バックバイアス発生回路 18 の出力は、バックバイアス電圧  $V_{BBG}$  を印加したい領域、例えば半導体基板に接続され、半導体基板をグラウンドレベルより低いバックバイアス電圧  $V_{BBG}$  にする。

レベル判定回路 19 の入力は、バックバイアス発生回路 18 の出力が接続される領域、例えば半導体基板と接続され、半導体基板の電位を検出する。レベル判定回路 19 の出力は、バックバイアス発生回路 18 の第二の入力に接続される。レベル判定回路 19 の出力は、オアゲート 9 の第二の入力に接続される。

半導体基板の電位は、グラウンドレベルより低いバックバイアス電圧  $V_{BBG}$  なので、リークにより時間変化する。すなわち半導体基板の電位は、徐々に上昇する。よって、レベル判定回路 19 は、一定時間間隔で、アクティブ状態になり、半導体基板の電位を検出し、グラウンドレベルより低い予め決められた許容電位範囲の上限を上回った場合、判定結果  $C$  をバックバイアス発生回路 18 に入力し、バックバイアス発生回路 18 に、半導体基板の電位を下げさせる。この判定結果  $C$  は、同時にオアゲート 9 の第二の入力にも入力され、オアゲート 9 は、レベル判定回路 19 からの判定結果  $C$  とリフレッシュタイミング発生回路 7 からのリフレッシュ信号との論理和（オア）をとり、その結果を論理和信号  $PL$  として出力し、この論理和信号  $PL$  を電圧レベル制御回路 20 へ入力する。

したがって、リフレッシュ動作が必要な時又はバックバイアス発生回路 18 をアクティブ状態にする必要がある時に、電圧レベル制御回路 10 がアクティブ状態になり電圧レベル制御回路 20 で電力を消費するが、デバイスがスタンバイ状態にあり、かつリフレッシュ動作を行わないとき、かつバックバイアス発生回路 18 がインアクティブ状態にあるとき、電圧レベル制御回路 20 がインアクティブ状態になり電圧レベル制御回路 20 での電力消費を抑制する。

電圧レベル制御回路 20 の回路構成として、図 7 に開示の回路構成を適用できる。すなわち、電源投入時、読出し/書込み時、並びにデバイスのアクティブ時およびスタンバイ時におけるリフレッシュ動作時のみ昇圧回路 4 をアクティ

ブ状態にする。その他の場合、すなわち、スタンバイ時における非リフレッシュ動作時には、昇圧回路4をインアクティブ状態にする。この動作は、前述した通りである。

レベル判定回路19は、既知の回路構成を適用し得る。

バックバイアス発生回路18は、1例として、図16に示す回路構成で実現し得るが、これに限定されるものではない。

バックバイアス発生回路18は、トランスファートランジスタのゲートを駆動する回路を、昇圧電圧で駆動するよう構成する。具体的には、バックバイアス発生回路18は、プリチャージトランジスタPT、トランスファートランジスタTT、制御論理ブロックCLB、第一の電流経路P1を形成する第一の出力駆動回路D1および第一の容量C1と、第二の電流経路P2を形成する第二の出力駆動回路D2および第二の容量C2とから構成し得る。

トランスファートランジスタTTは、pチャンネルMOSトランジスタで構成し得る。トランスファートランジスタTTは、第二の電流経路P2とバックバイアス発生回路18の出力との間に直列に接続される。トランスファートランジスタTTのゲートは、第一の電流経路P1を介して制御論理ブロックCLBに接続される。そして、トランスファートランジスタTTは、ノードGに現れる電位により、そのオン・オフ動作が制御される。

プリチャージトランジスタPTは、pチャンネルMOSトランジスタで構成し得る。プリチャージトランジスタPTは、グランドとノードAとの間に接続される。ノードAは、第二の電流経路P2とトランスファートランジスタTTとの接点とする。プリチャージトランジスタPTのゲートは、制御論理ブロックCLBに接続される。

ここで、第一の出力駆動回路D1は、昇圧回路に接続され昇圧電圧 $V_{bt}$ で駆動される。一方、第二の出力駆動回路D2は、電源電圧VDDで駆動される。尚、第二の出力駆動回路D2を、電源電圧VDDに代え昇圧電圧 $V_{bt}$ で駆動することも場合によって可能である。すなわち第一の出力駆動回路D1の駆動電圧は、電源電圧VDDより高く、かつ第二の出力駆動回路D2の駆動電圧は、第一の出力駆動回路D1の駆動電圧を超えない範囲で、設計変更が可能である。

電源電圧VDDが、低く設定された場合、例えば1.8V程度の低電源電圧を場合を例にとり、バックバイアス発生回路18の動作を以下説明する。

プリチャージトランジスタPTで、ノードAをグラウンドレベルすなわち0Vにプリチャージする。その後、第二の出力駆動回路D2を駆動し、第二の容量C2によりノードAの電位をマイナスの電位まで下げる。具体的には-1.8V程度まで下げる。この時点では、ノードGの電位は、ハイレベルにあり、トランスファートランジスタTTはオフ状態にある。

次に、ノードGの電位を下げ、トランスファートランジスタTTをオンにして、ノードAの負の電荷をトランスファートランジスタTTを介しバックバイアス発生回路18の出力VB BGに伝える。すなわち、出力VB BGの電位をマイナスの電位に引き下げる。ここで、負の電荷を十分に出力VB BGへトランスファするためには、トランスファートランジスタTTを十分にオンすることが重要となる。

もし、トランスファートランジスタTTが十分にオンされない場合、ノードAの負の電荷が、十分に出力VB BGへトランスファされない。低電源電圧を使用する場合、トランスファートランジスタTTのオン能力が急激に低下し、上記問題を引起す。この問題は、1.8V程度の低電源電圧により第一の出力駆動回路D1及び第一の容量C1を駆動しノードGの電位を下げた場合に発生する。

しかしながら、前述したように、第一の出力駆動回路D1及び第一の容量C1は、昇圧電圧により駆動されるため、トランスファートランジスタTTのオン能力が高まり、トランスファートランジスタTTは十分にオンし、よってノードAの負の電荷が、出力VB BGへ十分にトランスファされる。具体的には、昇圧回路により低電源電圧VDD=1.8Vを1.7Vだけ昇圧し、3.5Vの昇圧電圧で第一の出力駆動回路D1及び第一の容量C1を駆動することで、ノードGの電位-3.5V付近まで下げることができる。

従って、トランスファートランジスタTTのゲートを駆動する回路を、昇圧電圧で駆動することによりトランスファートランジスタTTのオン能力を高め、バックバイアス発生回路18の正常動作が可能となる。

リフレッシュ動作の周期は、半導体基板の電位が、バックバイアス発生回路

18によりバックバイアス電圧VBBGまで下げられてから、グランドレベルより低いバックバイアス電圧VBBG許容電位範囲の上限を上回るまでの時間間隔に比較して、そのオーダーが異なる程非常に短い。

更に、レベル判定回路19がアクティブ状態となる期間および昇圧回路4がアクティブ状態となる期間は、リフレッシュ動作の周期に比較して、そのオーダーが異なる程非常に短い。

したがって、本回路構成を適用することによる基板に流れる基板電流の増加は、ほぼゼロに近く無視できるほどである。

また、上記実施形態はいずれも半導体記憶装置に関する実施形態であるが、本発明は半導体記憶装置に限らず、外部電圧から内部電圧生成し、その内部電圧を制御する各種の電子回路に適用可能である。

また、本発明は、上記各実施形態の構成に限定されるものではなく、本発明の要旨を逸脱しない範囲で種々の変形が可能である。

#### 産業上の利用の可能性

以上説明したように、本発明によれば、外部電源電圧から発生される内部電圧レベルを検出して制御する電圧レベル制御回路を、必要時のみ活性化し、それ以外の時には非活性にするので、電圧レベル制御回路での消費電力を低減することができる。

また、従来の半導体記憶装置より消費電力を低減することができ、特に、疑似SRAMに適用した場合に好適である。

すなわち、システム側からの制御を受けずに、半導体記憶装置の内部で能動的にリフレッシュを行う半導体記憶装置において、特に、リフレッシュのみが行われるスタンバイ状態における電圧レベル制御回路での消費電力を節減することができる。したがって、疑似SRAM等、内部リフレッシュが行われる半導体記憶装置に用いると好適である。

### 請求の範囲

1. 外部電源電圧に基づき内部電圧レベルを発生する内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路において、

前記電圧レベル制御回路は、

内部電圧レベル発生回路の出力側に接続され、前記内部電圧レベルを、少なくとも1つの基準電圧に基づき比較する比較回路と、

前記比較回路に接続され、比較回路を活性状態又は非活性状態に制御する制御回路とを含む電圧レベル制御回路。

2. 前記制御回路は、内部電圧レベル発生回路を活性状態にするとき、制御回路は比較回路を活性状態にし、内部電圧レベル発生回路を非活性状態にするとき、制御回路は比較回路を非活性状態にする請求項1に記載の電圧レベル制御回路。

3. 前記内部電圧レベル発生回路は、昇圧回路又は降圧回路である請求項1に記載の電圧レベル制御回路。

4. 前記比較回路は、基準電圧の数と等しい数の比較回路からなり、この比較回路は、対応する各基準電圧に基づき内部電圧レベルを比較し、制御回路は、各比較回路に共通に接続される1つの制御回路からなり、各比較回路は、1つの制御回路により共通に、活性状態又は非活性状態が制御される請求項1に記載の電圧レベル制御回路。

5. 前記制御回路は、論理ゲート回路とラッチ回路とを含み、論理ゲート回路の出力がラッチ回路の入力と接続され、ラッチ回路の制御端子は、比較回路の出力側に接続され、論理ゲート回路の出力信号又は比較回路の出力信号に基づき比較回路の活性状態又は非活性状態が制御される請求項1に記載の電圧レベル制御回路。

6. 前記比較回路は、カレントミラー差動増幅器を含む請求項1に記載の電圧レベル制御回路。

7. 前記電圧レベル制御回路は、更に分圧回路を含み、この分圧回路は内部電圧レベル発生回路の出力側とグランド端子との間に直列に接続され、分圧回路の出力は比較回路の入力に接続され、比較回路は、内部電圧レベルの分圧電圧を基準電圧と比較する請求項 1 に記載の電圧レベル制御回路。

8. 前記比較回路の入力は、内部電圧レベル発生回路の出力側に接続され、比較回路は、内部電圧レベルを基準電圧と直接比較する請求項 1 に記載の電圧レベル制御回路。

9. 前記少なくとも 1 つの基準電圧は、単一の基準電圧からなり、この単一の基準電圧に基づき内部電圧レベルの許容範囲の下限を定めることで、内部電圧レベルが許容範囲の下限以下となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化する請求項 1 に記載の電圧レベル制御回路。

10. 前記少なくとも 1 つの基準電圧は、単一の基準電圧からなり、この単一の基準電圧に基づき内部電圧レベルの許容範囲の上限を定めることで、内部電圧レベルが許容範囲の上限以上となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化する請求項 1 に記載の電圧レベル制御回路。

11. 前記少なくとも 1 つの基準電圧は、2 つの基準電圧からなり、この 2 つの基準電圧に基づき内部電圧レベルの許容範囲の上限および下限を定めることで、内部電圧レベルが許容範囲の上限以上又は下限以下となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化する請求項 1 に記載の電圧レベル制御回路。

12. 前記制御回路は、論理ゲート回路からなり、論理ゲート回路の出力が比較回路に接続され、内部電圧レベル発生回路の活性状態及び非活性状態から独立して、論理ゲート回路の出力信号のみに基づき比較回路の活性状態又は非活性状態が制御される請求項 1 に記載の電圧レベル制御回路。

13. 外部電源電圧に基づき内部電圧レベルを発生する内部電圧レベル発生回路の出力側に接続され、内部電圧レベルを検出して、外部から入力される少なくとも 1 つの基準電圧に基づき制御する電圧レベル制御回路において、

電圧レベル制御回路は、この電圧レベル制御回路を活性状態又は非活性状態に制御する制御回路を含む電圧レベル制御回路。

14. 前記電圧レベル制御回路は、さらに比較回路を含み、この比較回路の入力側を、内部電圧レベル発生回路の出力側に接続することで、前記内部電圧レベルを前記少なくとも1つの基準電圧に基づき比較し、内部電圧レベル発生回路を活性状態又は非活性状態に制御するための内部電圧レベル発生回路制御信号を、比較回路の出力側から出力し、

前記制御回路は、この比較回路に接続され、比較回路を活性状態又は非活性状態に制御する請求項13に記載の電圧レベル制御回路。

15. 前記制御回路は、内部電圧レベル発生回路を活性状態にするとき、制御回路は比較回路を活性状態にし、内部電圧レベル発生回路を非活性状態にするとき、制御回路は比較回路を非活性状態にする請求項13に記載の電圧レベル制御回路。

16. 前記内部電圧レベル発生回路は、昇圧回路または降圧回路である請求項13に記載の電圧レベル制御回路。

17. 前記比較回路は、基準電圧の数と等しい数の比較回路からなり、この比較回路は、対応する各基準電圧に基づき内部電圧レベルを比較し、制御回路は、各比較回路に共通に接続される1つの制御回路からなり、各比較回路は、1つの制御回路により共通に、活性状態又は非活性状態が制御される請求項13に記載の電圧レベル制御回路。

18. 前記制御回路は、論理ゲート回路とラッチ回路とを含み、論理ゲート回路の出力がラッチ回路の入力と接続され、ラッチ回路の制御端子は、比較回路の出力側に接続される請求項13に記載の電圧レベル制御回路。

19. 前記比較回路は、カレントミラー差動増幅器を含む請求項13に記載の電圧レベル制御回路。

20. 前記電圧レベル制御回路は、更に分圧回路を含み、この分圧回路は内部電圧レベル発生回路の出力側とグランド端子との間に直列に接続され、分圧回路の出力は比較回路の入力に接続され、比較回路は、内部電圧レベルの分圧電圧を基準電圧と比較する請求項13に記載の電圧レベル制御回路。

2 1. 前記比較回路の入力は、内部電圧レベル発生回路の出力側に直接接続され、比較回路は、内部電圧レベルを基準電圧と直接比較する請求項 1 3 に記載の電圧レベル制御回路。

2 2. 前記少なくとも 1 つの基準電圧は、単一の基準電圧からなり、この単一の基準電圧に基づき内部電圧レベルの許容範囲の下限を定めることで、内部電圧レベルが許容範囲の下限以下となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化する請求項 1 3 に記載の電圧レベル制御回路。

2 3. 前記少なくとも 1 つの基準電圧は、単一の基準電圧からなり、この単一の基準電圧に基づき内部電圧レベルの許容範囲の上限を定めることで、内部電圧レベルが許容範囲の上限以上となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化する請求項 1 3 に記載の電圧レベル制御回路。

2 4. 前記少なくとも 1 つの基準電圧は、2 つの基準電圧からなり、この 2 つの基準電圧に基づき内部電圧レベルの許容範囲の上限および下限を定めることで、内部電圧レベルが許容範囲の上限以上又は下限以下となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化する請求項 1 3 に記載の電圧レベル制御回路。

2 5. 前記制御回路は、論理ゲート回路からなり、論理ゲート回路の出力が比較回路に接続され、内部電圧レベル発生回路の活性状態及び非活性状態から独立して、論理ゲート回路の出力信号のみに基づき比較回路の活性状態又は非活性状態が制御される請求項 1 3 に記載の電圧レベル制御回路。

2 6. 複数のワード線を有するメモリーセルアレイ領域と、  
この複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、  
この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、  
更に前記電圧レベル制御回路は、  
内部電圧レベル発生回路の出力側に接続され、前記内部電圧レベルを、少な



くとも1つの基準電圧に基づき比較する比較回路と、

この比較回路に接続され、比較回路を活性状態又は非活性状態に制御する制御回路とを含む半導体記憶装置。

27. 前記半導体記憶装置は、メモリーセルのリフレッシュ動作を行うためのリフレッシュ信号を自発的に発生するリフレッシュ信号発生回路を更に含み、このリフレッシュ信号発生回路の出力側が、前記電圧レベル制御回路の制御回路に接続されることで、リフレッシュ信号の入力を受けて、前記電圧レベル制御回路の制御回路が、比較回路を非活性状態から活性状態にする請求項26に記載の半導体記憶装置。

28. 前記電圧レベル制御回路の制御回路は、論理ゲート回路を含み、この論理ゲート回路の複数の入力の第一の入力がリフレッシュ信号発生回路の出力側に接続される請求項27に記載の半導体記憶装置。

29. 前記半導体記憶装置は、リフレッシュ動作時以外にワード線を活性化するためのロウイネーブル信号を発生するロウイネーブル信号発生回路を更に含み、このロウイネーブル信号発生回路の出力が前記論理ゲート回路の第二の入力に接続され、前記リフレッシュ信号およびロウイネーブル信号の少なくともいずれか1つが論理ゲート回路に入力されたとき、制御回路が、比較回路を非活性状態から活性状態にする請求項28に記載の半導体記憶装置。

30. 前記ロウイネーブル信号発生回路は、ロウイネーブル信号を活性化するタイミングより一定時間だけ前に、パルス信号を発生し、このパルス信号を論理ゲート回路に入力することで、前記電圧レベル制御回路の制御回路が、比較回路を非活性状態から活性状態にすると共に、内部電圧レベル発生回路を非活性状態から活性状態にし、前記内部電圧レベルが、前記少なくとも1つの基準電圧に基づき与えられる許容電圧レベル範囲に達した後、前記電圧レベル制御回路の制御回路が、比較回路を活性状態から非活性状態にする請求項29に記載の半導体記憶装置。

31. 前記半導体記憶装置がアクティブ状態にあるとき、前記制御回路は常に比較回路を活性状態に維持し、前記半導体記憶装置がスタンバイ状態にあるとき、前記制御回路は、制御信号に基づき比較回路を活性状態又は非活性状

態に制御する請求項 26 に記載の半導体記憶装置。

32. 前記半導体記憶装置は、

内部電圧レベル発生回路の出力側に接続され、内部電圧レベルに基づきグラウンドレベルより低いレベルのバックバイアス電圧を発生し、半導体記憶装置の特定半導体領域にバックバイアス電圧を供給するバックバイアス発生回路と、

前記特定半導体領域に接続され、特定半導体領域の電位を判定するバックバイアスレベル判定回路とを更に含み、

バックバイアスレベル判定回路は、バックバイアス電圧のレベルが予め定められた許容範囲を超えた場合、バックバイアスレベル判定結果信号を活性化し、

バックバイアスレベル判定回路の出力が論理ゲート回路の第二の入力に接続されることで、前記リフレッシュ信号および活性化されたバックバイアスレベル判定結果信号の少なくともいずれか 1 つが論理ゲート回路に入力されたとき、制御回路が、比較回路を非活性状態から活性状態にする請求項 26 に記載の半導体記憶装置。

33. 前記電圧レベル制御回路の制御回路は、さらにラッチ回路を含み、ラッチ回路の入力は前記論理ゲート回路の出力に接続され、ラッチ回路の制御端子は前記電圧レベル制御回路の出力に接続される請求項 26 に記載の半導体記憶装置。

34. 前記制御回路は、内部電圧レベル発生回路を活性状態にするとき、制御回路は比較回路を活性状態にし、内部電圧レベル発生回路を非活性状態にするとき、制御回路は比較回路を非活性状態にする請求項 26 に記載の半導体記憶装置。

35. 前記内部電圧レベル発生回路は、昇圧回路または降圧回路である請求項 26 に記載の半導体記憶装置。

36. 前記比較回路は、基準電圧の数と等しい数の比較回路からなり、この比較回路は、対応する各基準電圧に基づき内部電圧レベルを比較し、制御回路は、各比較回路に共通に接続される 1 つの制御回路からなり、各比較回路は、1 つの制御回路により共通に、活性状態又は非活性状態が制御される請求項 26 に記載の半導体記憶装置。

37. 前記制御回路は、論理ゲート回路とラッチ回路とを含み、論理ゲート回路の出力がラッチ回路の入力と接続され、ラッチ回路の制御端子は、比較回路の出力側に接続される請求項26に記載の半導体記憶装置。

38. 前記比較回路は、カレントミラー差動増幅器を含む請求項26に記載の半導体記憶装置。

39. 前記電圧レベル制御回路は、更に分圧回路を含み、この分圧回路は内部電圧レベル発生回路の出力側とグランド端子との間に直列に接続され、分圧回路の出力は比較回路の入力に接続され、比較回路は、内部電圧レベルの分圧電圧を基準電圧と比較する請求項26に記載の半導体記憶装置。

40. 前記比較回路の入力は、内部電圧レベル発生回路の出力側に直接接続され、比較回路は、内部電圧レベルを基準電圧と直接比較する請求項26に記載の半導体記憶装置。

41. 前記少なくとも1つの基準電圧は、単一の基準電圧からなり、この単一の基準電圧に基づき内部電圧レベルの許容範囲の下限を定めることで、内部電圧レベルが許容範囲の下限以下となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化する請求項26に記載の半導体記憶装置。

42. 前記少なくとも1つの基準電圧は、単一の基準電圧からなり、この単一の基準電圧に基づき内部電圧レベルの許容範囲の上限を定めることで、内部電圧レベルが許容範囲の上限以上となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化する請求項26に記載の半導体記憶装置。

43. 前記少なくとも1つの基準電圧は、2つの基準電圧からなり、この2つの基準電圧に基づき内部電圧レベルの許容範囲の上限および下限を定めることで、内部電圧レベルが許容範囲の上限以上又は下限以下となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化する請求項26に記載の半導体記憶装置。

44. 前記制御回路は、論理ゲート回路からなり、論理ゲート回路の出力が比較回路に接続され、内部電圧レベル発生回路の活性状態及び非活性状態に関

係なく、論理ゲート回路の出力信号のみに基づき比較回路の活性状態又は非活性状態が制御される請求項 26 に記載の半導体記憶装置。

45. 前記論理ゲート回路の出力信号は、予め定められたパルス幅を有するパルス信号であり、比較回路が活性状態になってから、パルス幅に相当する時間が経過した後、内部電圧レベル発生回路の活性状態及び非活性状態に関係なく、比較回路が非活性状態になる請求項 44 に記載の半導体記憶装置。

46. 複数のワード線を有するメモリーセルアレイ領域と、

この複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、

この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、

前記電圧レベル制御回路は、この電圧レベル制御回路を活性状態又は非活性状態に制御する制御回路を含むことを特徴とする半導体記憶装置。

47. 前記電圧レベル制御回路は、さらに比較回路を含み、この比較回路の入力側を、内部電圧レベル発生回路の出力側に接続することで、前記内部電圧レベルを前記少なくとも 1 つの基準電圧に基づき比較し、内部電圧レベル発生回路を活性状態又は非活性状態に制御するための内部電圧レベル発生回路制御信号を、比較回路の出力側から出力し、

前記制御回路は、この比較回路に接続され、比較回路を活性状態又は非活性状態に制御する請求項 46 に記載の半導体記憶装置。

48. 複数のワード線を有するメモリーセルアレイ領域と、

この複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、

この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、

前記電圧レベル制御回路は、前記ワード線の活性化信号に応答して活性化し、前記ワード線に供給される内部電圧レベルが許容電圧レベル範囲に達したとき非活性化することを特徴とする半導体記憶装置。

49. 前記許容電圧レベル範囲が、予め設定される第 1 の基準値と第 2 の

基準値とで規定される請求項 4 8 に記載の半導体記憶装置。

5 0. 前記許容電圧レベル範囲が、予め設定される第 1 の基準値と第 2 の基準値とで規定される請求項 4 8 に記載の半導体記憶装置。

5 1. 前記内部電圧レベル発生回路は昇圧回路である請求項 4 8 に記載の半導体記憶装置。

5 2. 前記内部電圧レベル発生回路は降圧回路である請求項 4 8 に記載の半導体記憶装置。

5 3. 複数のワード線を有するメモリーセルアレイ領域と、

この複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、

この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、

前記電圧レベル制御回路は、前記ワード線の活性化信号の立ち上がり時点より所定時間前に活性化し、前記ワード線に供給される内部電圧レベルが許容電圧レベル範囲に達したとき非活性化することを特徴とする半導体記憶装置。

5 4. 前記許容電圧レベル範囲が、予め設定される第 1 の基準値と第 2 の基準値とで規定される請求項 5 3 に記載の半導体記憶装置。

5 5. 前記許容電圧レベル範囲が、予め設定される第 1 の基準値と第 2 の基準値とで規定される請求項 5 3 に記載の半導体記憶装置。

5 6. 前記内部電圧レベル発生回路は昇圧回路である請求項 5 3 に記載の半導体記憶装置。

5 7. 前記内部電圧レベル発生回路は降圧回路である請求項 5 3 に記載の半導体記憶装置。

5 8. 複数のワード線を有するメモリーセルアレイ領域と、

この複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、

この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、

前記電圧レベル制御回路は、前記ワード線の活性化信号に応答して活性化し、

所定の時間だけ経過したときに非活性化することを特徴とする半導体記憶装置。

59. 前記許容電圧レベル範囲が、予め設定される第1の基準値と第2の基準値とで規定される請求項58に記載の半導体記憶装置。

60. 前記許容電圧レベル範囲が、予め設定される第1の基準値と第2の基準値とで規定される請求項58に記載の半導体記憶装置。

61. 前記内部電圧レベル発生回路は昇圧回路である請求項58に記載の半導体記憶装置。

62. 前記内部電圧レベル発生回路は降圧回路である請求項58に記載の半導体記憶装置。

63. 複数のワード線を有するメモリーセルアレイ領域と、  
リフレッシュ動作を制御するリフレッシュ信号を発生するリフレッシュ信号発生回路と、

前記複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、

この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、

前記電圧レベル制御回路は、前記リフレッシュ信号に応答して活性化および非活性化することを特徴とする半導体記憶装置。

64. 前記許容電圧レベル範囲が、予め設定される第1の基準値と第2の基準値とで規定される請求項63に記載の半導体記憶装置。

65. 前記許容電圧レベル範囲が、予め設定される第1の基準値と第2の基準値とで規定される請求項63に記載の半導体記憶装置。

66. 前記内部電圧レベル発生回路は昇圧回路である請求項63に記載の半導体記憶装置。

67. 前記内部電圧レベル発生回路は降圧回路である請求項63に記載の半導体記憶装置。

68. 複数のワード線を有するメモリーセルアレイ領域と、  
この複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、

この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、

前記半導体記憶装置のスタンバイ状態において、前記電圧レベル制御回路は、前記ワード線の活性化信号に応答して活性化し、前記ワード線に供給される内部電圧レベルが許容電圧レベル範囲に達したとき非活性化し、前記半導体記憶装置のアクティブ状態において常時活性化することを特徴とする半導体記憶装置。

69. 前記許容電圧レベル範囲が、予め設定される第1の基準値と第2の基準値とで規定される請求項68に記載の半導体記憶装置。

70. 前記許容電圧レベル範囲が、予め設定される第1の基準値と第2の基準値とで規定される請求項68に記載の半導体記憶装置。

71. 前記内部電圧レベル発生回路は昇圧回路である請求項68に記載の半導体記憶装置。

72. 前記内部電圧レベル発生回路は降圧回路である請求項68に記載の半導体記憶装置。

73. 外部電源電圧に基づき内部電圧レベルを発生する内部電圧レベル発生回路と、

この内部電圧レベル発生回路に接続され内部電圧レベルの供給を受ける内部回路と、

この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体装置において、

前記電圧レベル制御回路は、前記内部回路の活性化信号の立ち上がりに応答して活性化し、前記内部回路に供給される内部電圧レベルが許容電圧レベルに達し、かつ、前記内部回路の活性化信号がオフとなったとき非活性化することを特徴とする半導体装置。

74. 前記電圧レベル制御回路は、前記電圧レベルを予め設定される基準値に等しくなるように制御する請求項73に記載の半導体装置。

75. 前記内部電圧レベル発生回路は昇圧回路である請求項73に記載の半導体装置。

76. 前記内部電圧レベル発生回路は降圧回路である請求項73に記載の半導体装置。

77. トランスファートランジスタと、このトランスファートランジスタのゲートを駆動する第一の駆動回路とを少なくとも含むバックバイアス発生回路において、

前記第一の駆動回路が昇圧電圧により駆動されることを特徴とするバックバイアス発生回路。

78. 前記バックバイアス発生回路は、制御論理ブロックと、第一の電流経路に設けられた第一の駆動回路と、第二の電流経路に設けられた第二の駆動回路と、この第二の駆動回路と第一のノードを介し直列に接続され、そのゲートが第一の駆動回路と接続されるトランスファートランジスタと、第一のノードとグランドとの間に接続され、そのゲートが制御論理ブロックに接続されるプリチャージトランジスタとからなり、

前記トランスファートランジスタのゲートを駆動する前記第一の駆動回路が昇圧電圧で駆動され、前記第二の駆動回路が電源電圧で駆動される請求項60に記載のバックバイアス発生回路。

79. 外部電源電圧に基づき発生される内部電圧レベルを検出して制御する内部電圧レベル制御回路の活性状態及び非活性状態を制御信号に基づき制御する方法において、

電圧レベル制御回路を活性化した後、前記内部電圧レベルが許容電圧レベル範囲に到達したときに前記内部電圧レベル制御回路を非活性化することを特徴とする制御方法。

80. 前記許容電圧レベル範囲は、予め設定される第1の基準値と第2の基準値とで規定される請求項79に記載の制御方法。

81. 前記内部電圧レベルは外部電源電圧を昇圧した電圧レベルである請求項79に記載の制御方法。

82. 前記内部電圧レベルは外部電源電圧を降圧した電圧レベルである請求項79に記載の制御方法。

83. 前記内部電圧レベルは半導体記憶装置のワード線に供給される電圧



レベルであり、前記制御信号は前記ワード線の活性化信号である請求項 79 に記載の制御方法。

84. 前記半導体記憶装置はリフレッシュ動作を必要とするメモリセルを有する半導体記憶装置であって、前記ワード線の活性化信号は、半導体記憶装置のメモリセルをリフレッシュするリフレッシュ動作を制御する信号であり、前記内部電圧レベルが前記許容電圧レベル範囲の上限値以上となったとき前記内部電圧レベル制御回路を非活性化する請求項 79 に記載の制御方法。

85. 外部電源電圧から発生されワード線に供給される電圧レベルを検出して制御する電圧レベル制御回路を有する半導体記憶装置の電圧レベル制御方法において、

前記ワード線の活性化信号に応答して前記電圧レベル制御回路を活性化し、前記ワード線に供給される電圧レベルが許容電圧レベル範囲に達したとき前記電圧レベル制御回路を非活性化することを特徴とする半導体記憶装置の電圧レベル制御方法。

86. 前記許容電圧レベル範囲は、予め設定される第 1 の基準値と第 2 の基準値とで規定される請求項 85 に記載の制御方法。

87. 前記内部電圧レベルは外部電源電圧を昇圧した電圧レベルである請求項 85 に記載の制御方法。

88. 前記内部電圧レベルは外部電源電圧を降圧した電圧レベルである請求項 85 に記載の制御方法。

89. 半導体記憶装置のワード線に供給するため、外部電源電圧に基づき発生される内部電圧レベルを検出して制御する内部電圧レベル制御回路の活性状態及び非活性状態を制御信号に基づき制御する方法において、

前記ワード線の活性化信号の活性化のタイミングより所定時間前に前記内部電圧レベル制御回路を活性化し、前記ワード線に供給される内部電圧レベルが許容電圧レベル範囲に達したとき前記電圧レベル制御回路を非活性化することを特徴とする制御方法。

90. 前記許容電圧レベル範囲は、予め設定される第 1 の基準値と第 2 の基準値とで規定される請求項 89 に記載の制御方法。

9 1. 前記内部電圧レベルは外部電源電圧を昇圧した電圧レベルである請求項 8 9 に記載の制御方法。

9 2. 前記内部電圧レベルは外部電源電圧を降圧した電圧レベルである請求項 8 9 に記載の制御方法。

9 3. 半導体記憶装置のワード線に供給するため、外部電源電圧に基づき発生される内部電圧レベルを検出して制御する内部電圧レベル制御回路の活性状態及び非活性状態を制御信号に基づき制御する方法において、

前記ワード線の活性化信号に応答して前記内部電圧レベル制御回路を活性化し、所定の時間だけ経過したときに前記電圧レベル制御回路を非活性化することを特徴とする制御方法。

9 4. 前記許容電圧レベル範囲は、予め設定される第 1 の基準値と第 2 の基準値とで規定される請求項 9 3 に記載の制御方法。

9 5. 前記内部電圧レベルは外部電源電圧を昇圧した電圧レベルである請求項 9 3 に記載の制御方法。

9 6. 前記内部電圧レベルは外部電源電圧を降圧した電圧レベルである請求項 9 3 に記載の制御方法。

9 7. リフレッシュ動作を必要とするメモセルを有する半導体記憶装置のワード線に供給するため、外部電源電圧に基づき発生される内部電圧レベルを検出して制御する内部電圧レベル制御回路の活性状態及び非活性状態を制御信号に基づき制御する方法において、

リフレッシュ動作を制御する信号に応答して前記電圧レベル制御回路の活性化および非活性化を行うことを特徴とする制御方法。

9 8. 半導体記憶装置のワード線に供給するため、外部電源電圧に基づき発生される内部電圧レベルを検出して制御する内部電圧レベル制御回路の活性状態及び非活性状態を制御信号に基づき制御する方法において、

半導体記憶装置のスタンバイ状態において、前記ワード線の活性化信号に応答して前記電圧レベル制御回路を活性化し、前記ワード線に供給される電圧レベルが許容電圧レベル範囲に達したとき前記電圧レベル制御回路を非活性化し、

半導体記憶装置のアクティブ状態において、前記電圧レベル制御回路を常時

活性状態に維持することを特徴とする制御方法。

99. 前記許容電圧レベル範囲は、予め設定される第1の基準値と第2の基準値とで規定される請求項98に記載の制御方法。

100. 前記内部電圧レベルは外部電源電圧を昇圧した電圧レベルである請求項98に記載の制御方法。

101. 前記内部電圧レベルは外部電源電圧を降圧した電圧レベルである請求項98に記載の制御方法。

102. 内部回路に供給するため外部電源電圧に基づき発生される内部電圧レベルを検出して制御する電圧レベル制御回路の活性状態及び非活性状態を制御信号に基づき制御する方法において、

前記内部回路を活性化する活性化信号に応答して前記電圧レベル制御回路を活性化し、前記内部回路に供給される内部電圧レベルが許容電圧レベル範囲に達し、かつ、前記内部回路の活性化信号がオフとなったとき、前記電圧レベル制御回路を非活性化することを特徴とする制御方法。

103. 前記電圧レベル制御回路は、前記内部電圧レベルを予め設定される基準値に等しくなるように制御する請求項102に記載の制御方法。

104. 前記内部電圧レベルは、外部電源電圧を昇圧した電圧レベルである請求項102に記載の制御方法。

105. 前記内部電圧レベルは、外部電源電圧を降圧した電圧レベルである請求項102に記載の制御方法。

1/16

図 1

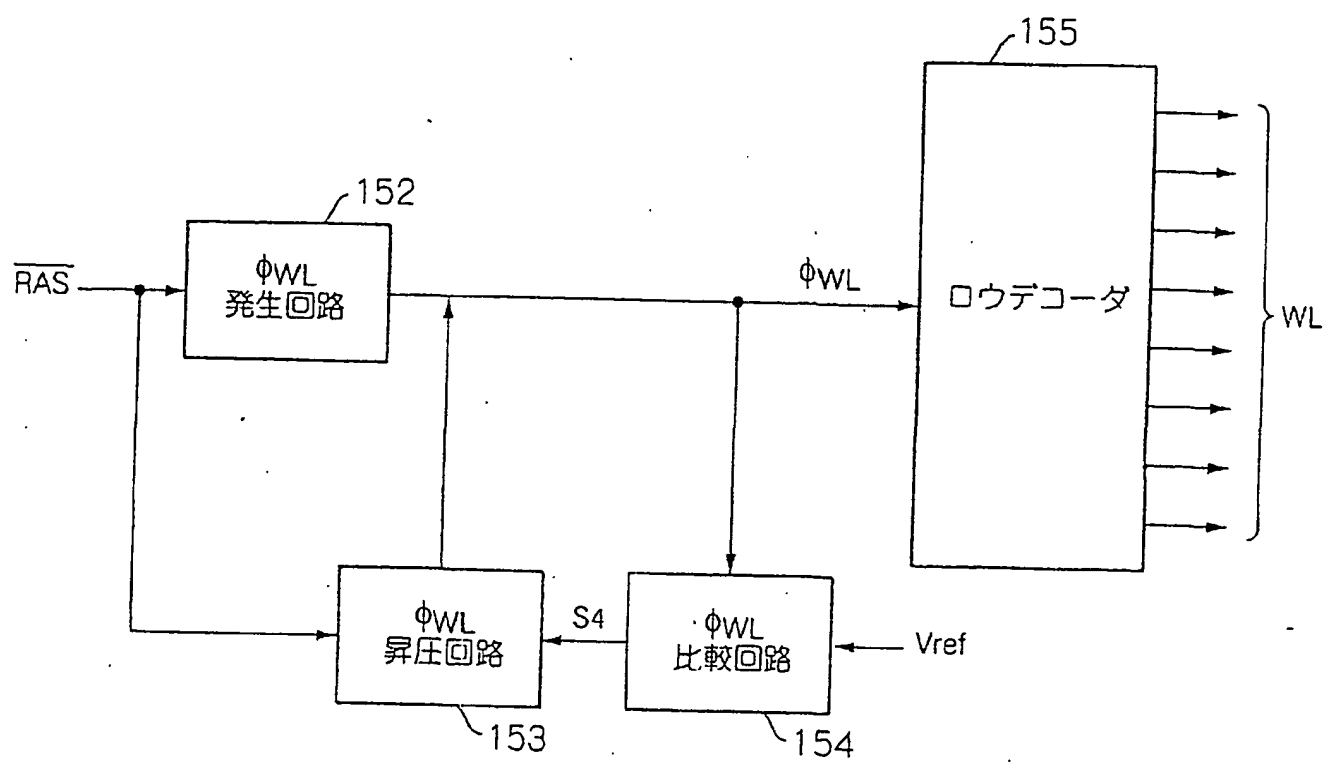


図 2

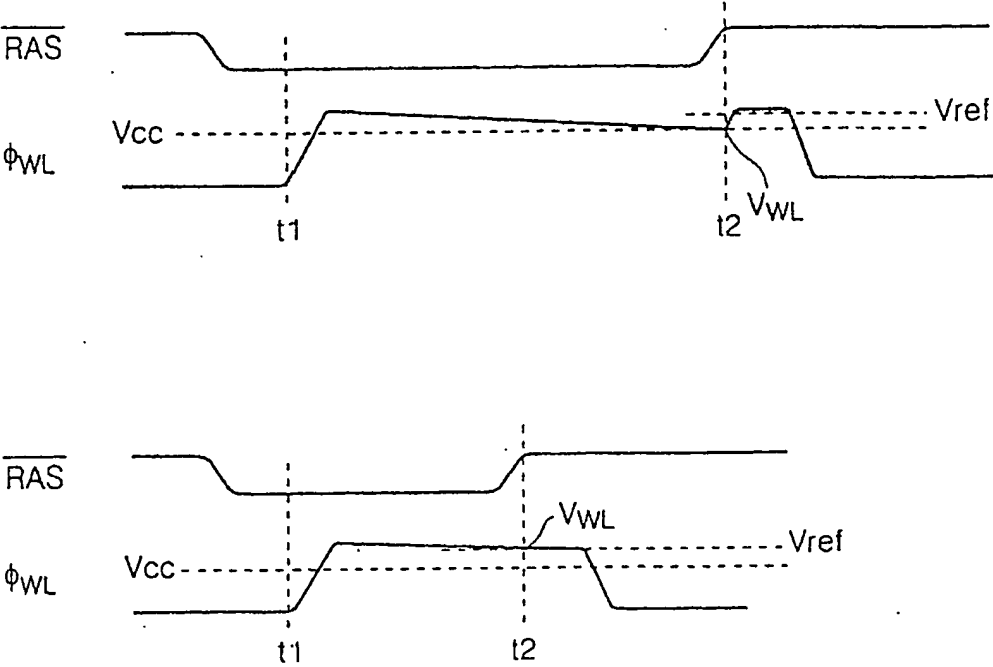


図 3

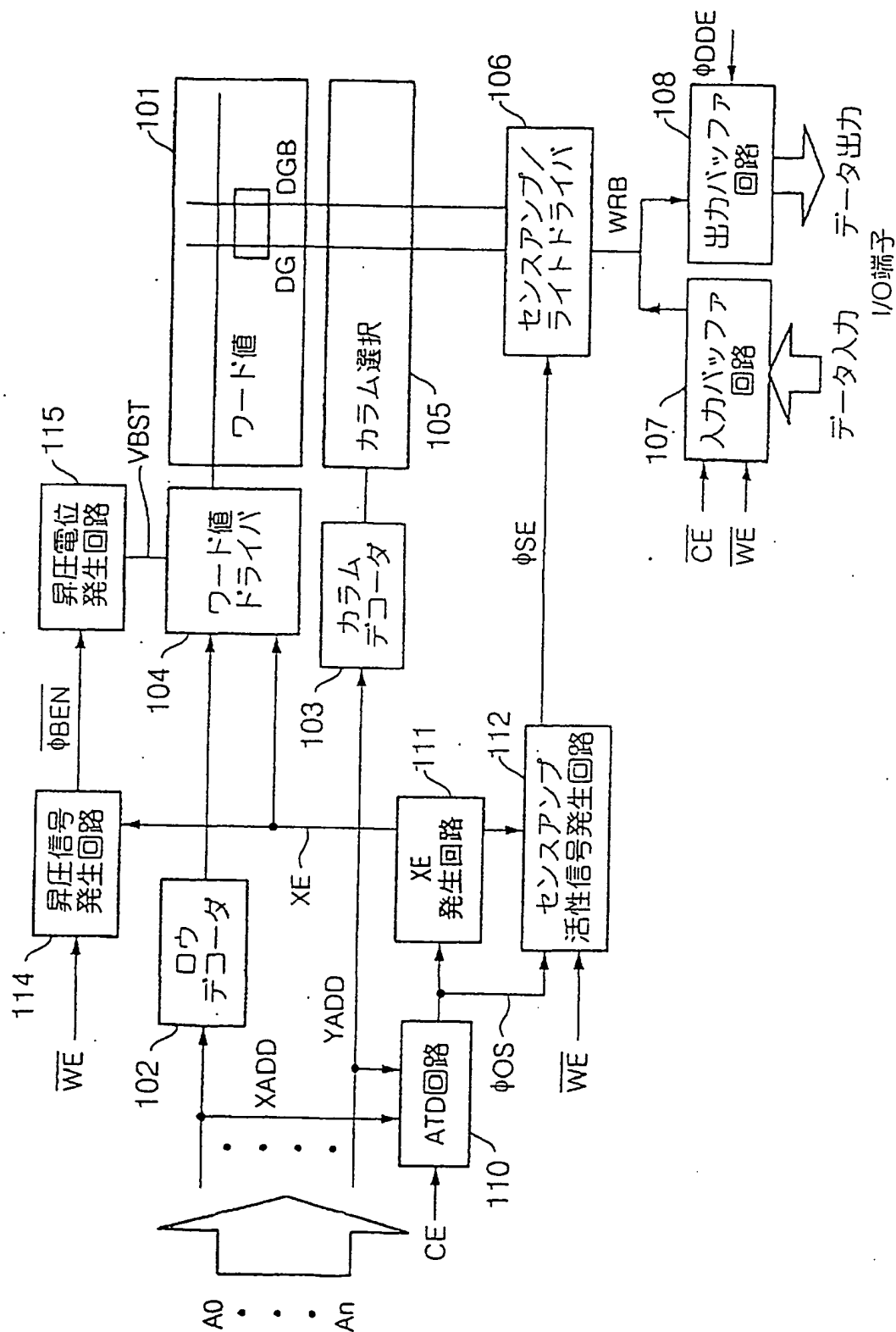


図 4

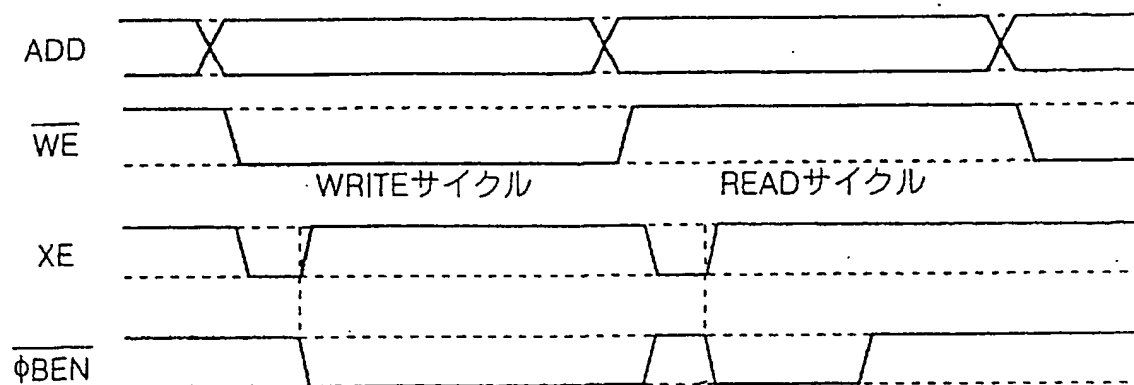


図 5

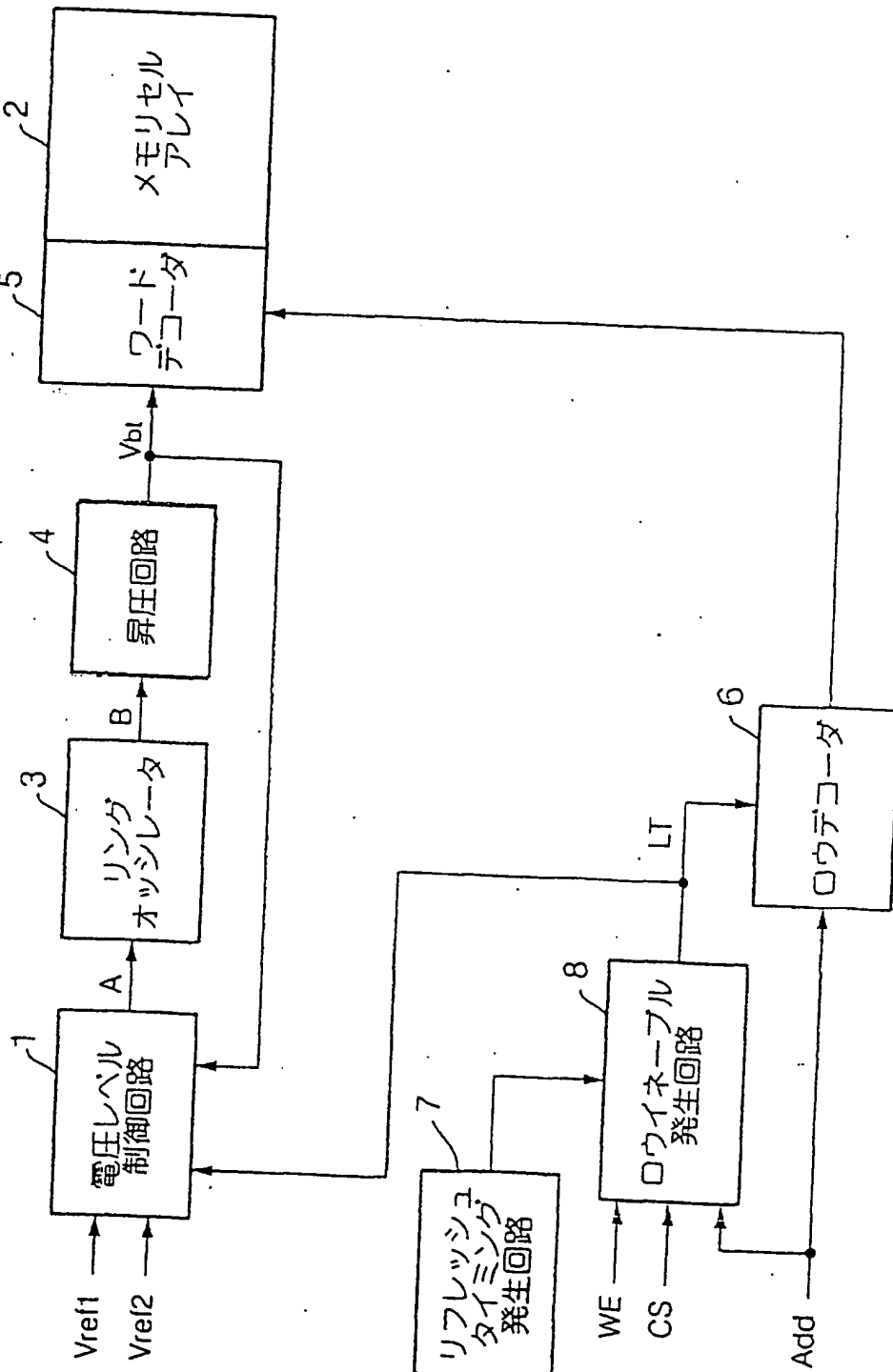




図 6

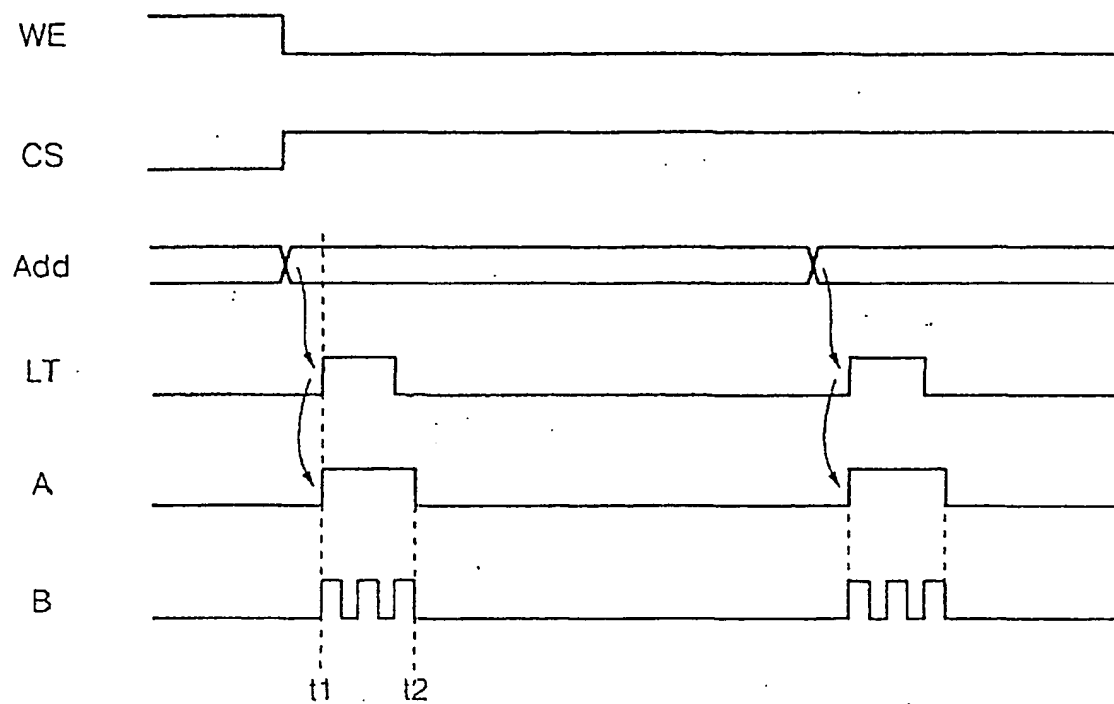


図 7

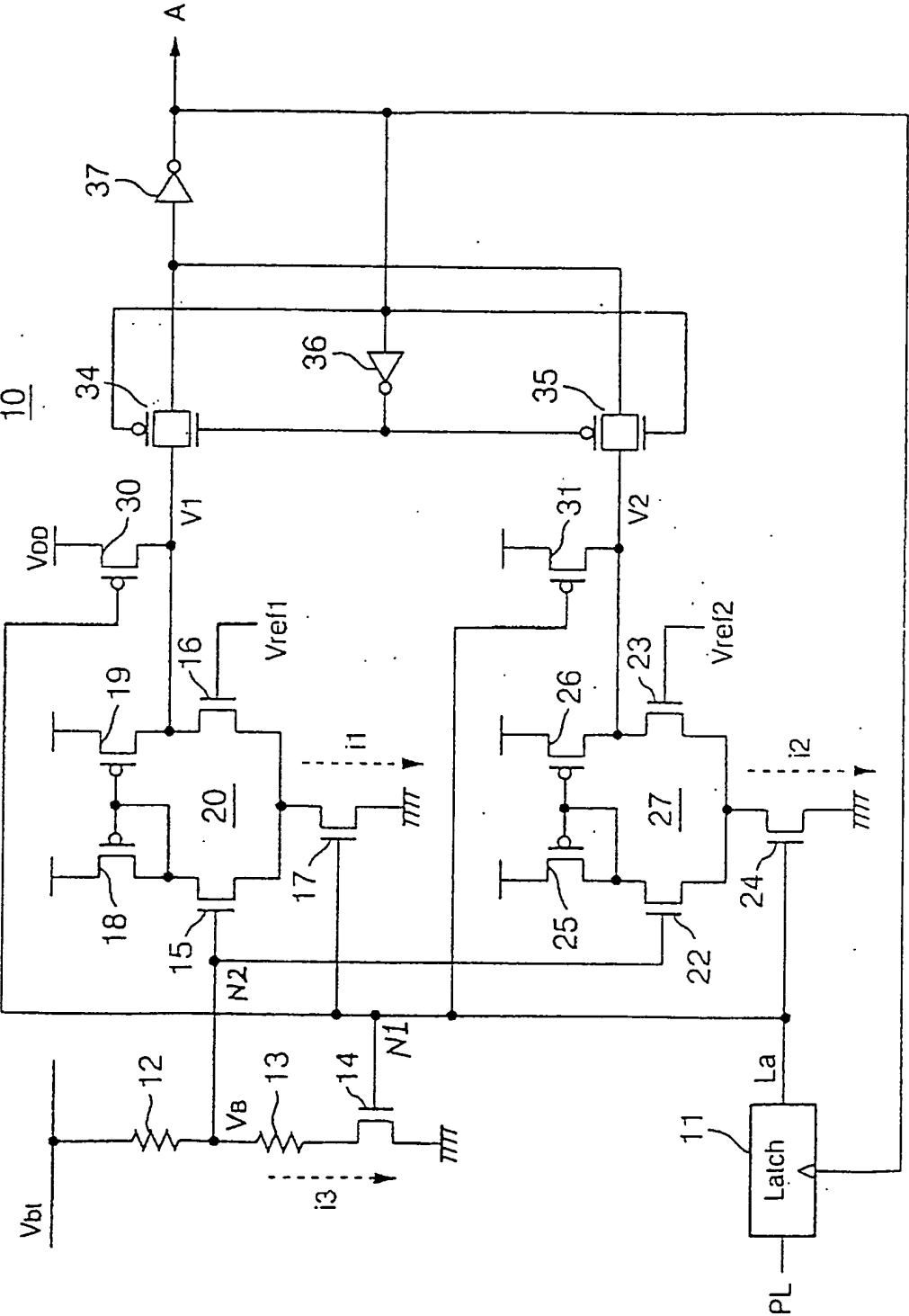


図 8

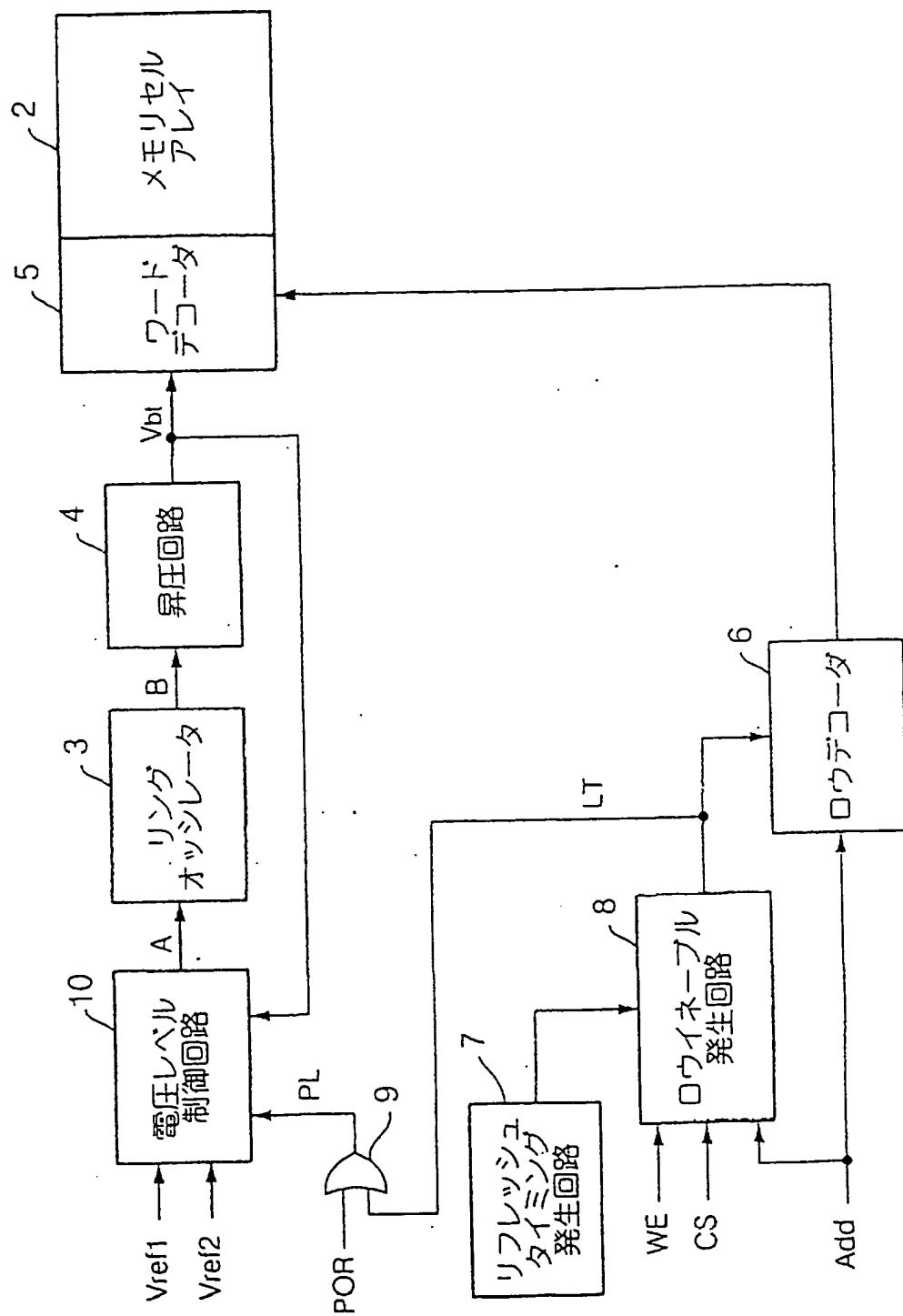


図 9

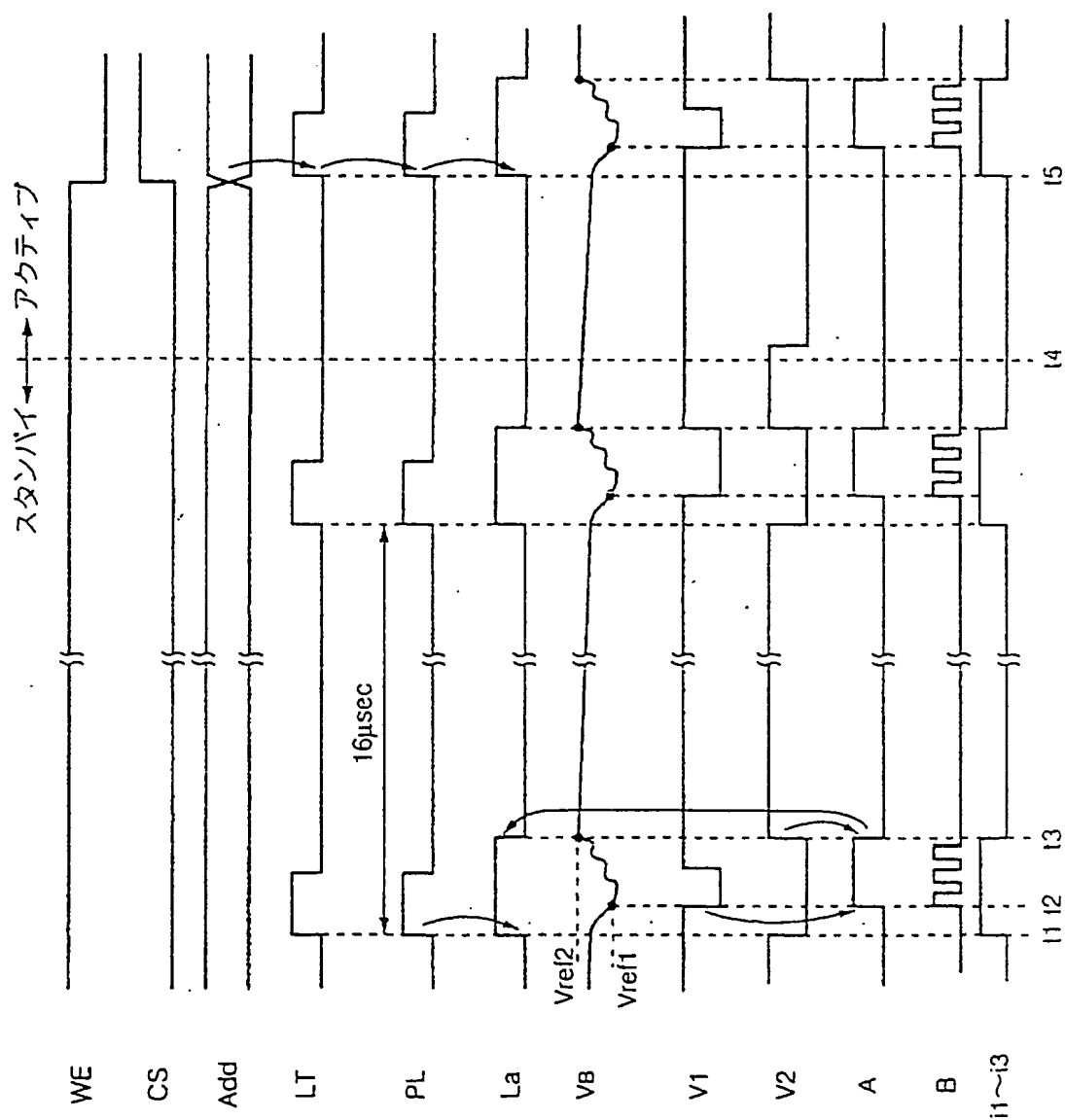
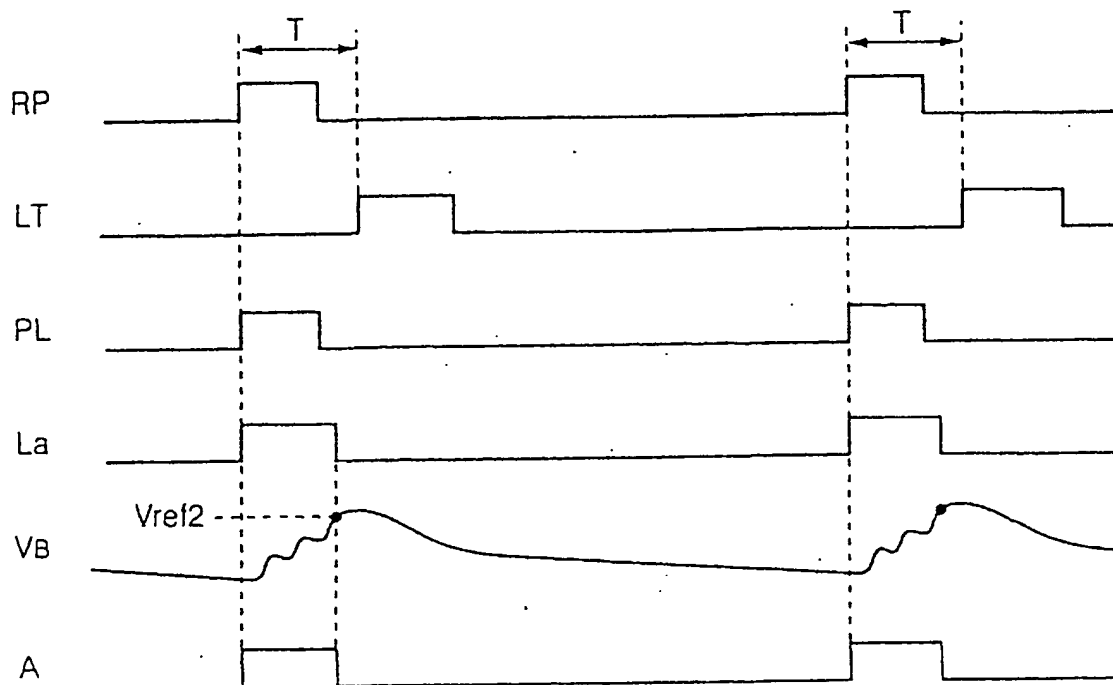
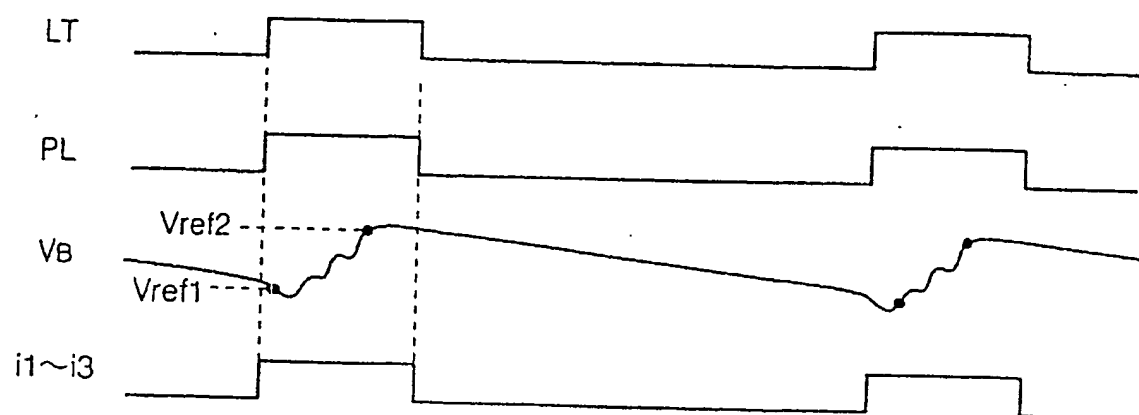


図 10



11/16

図 11



12/16

図 1 2

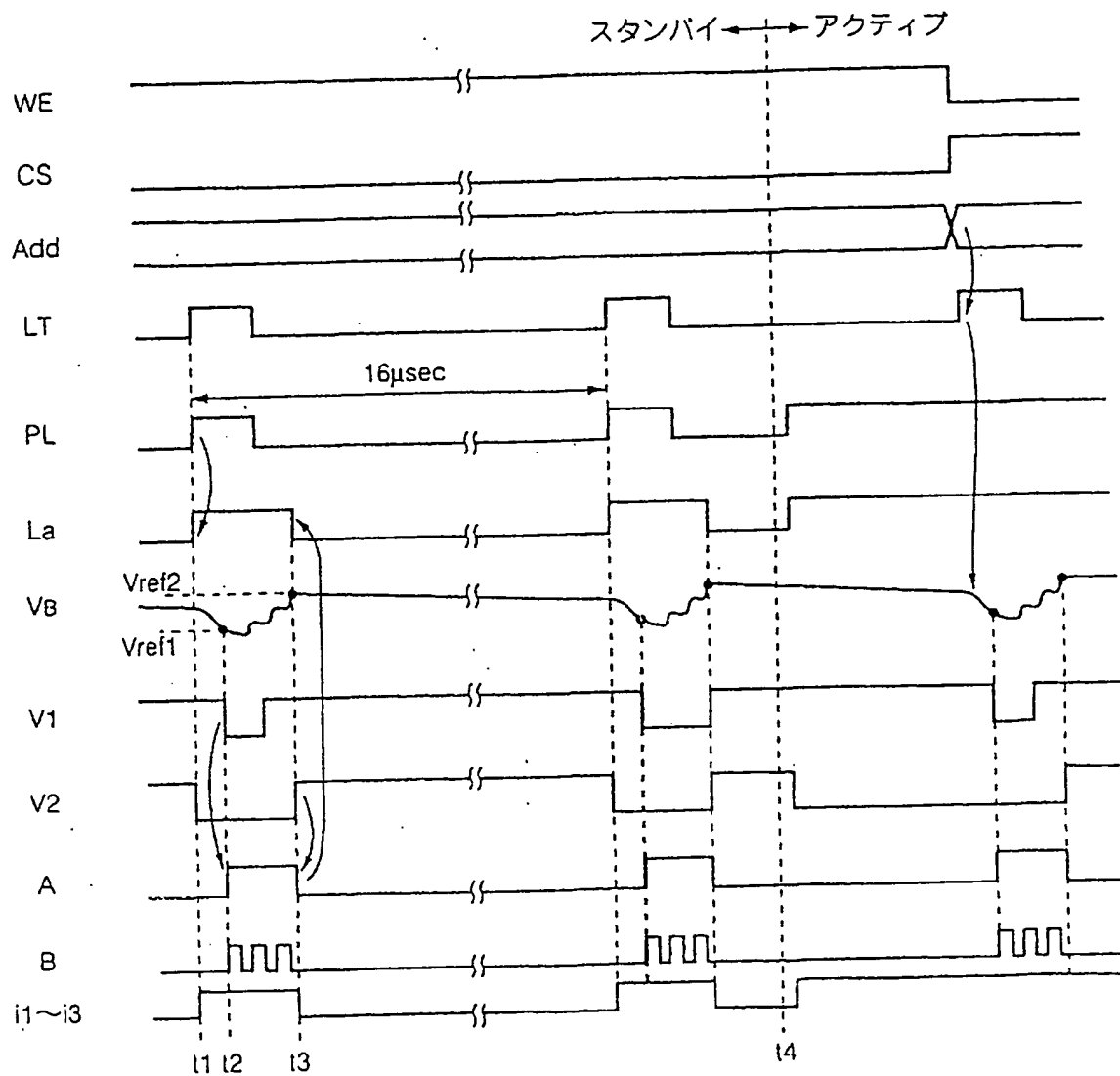






図 14

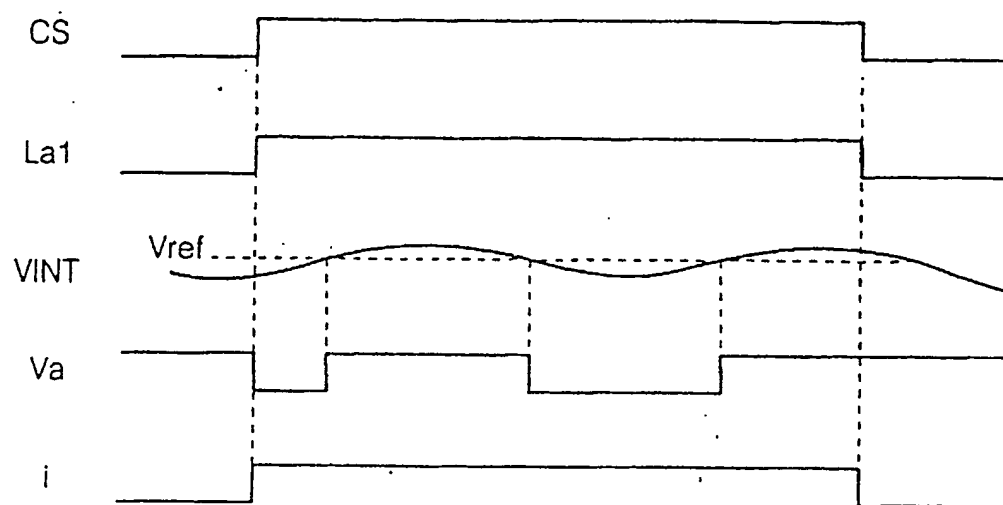


図 15

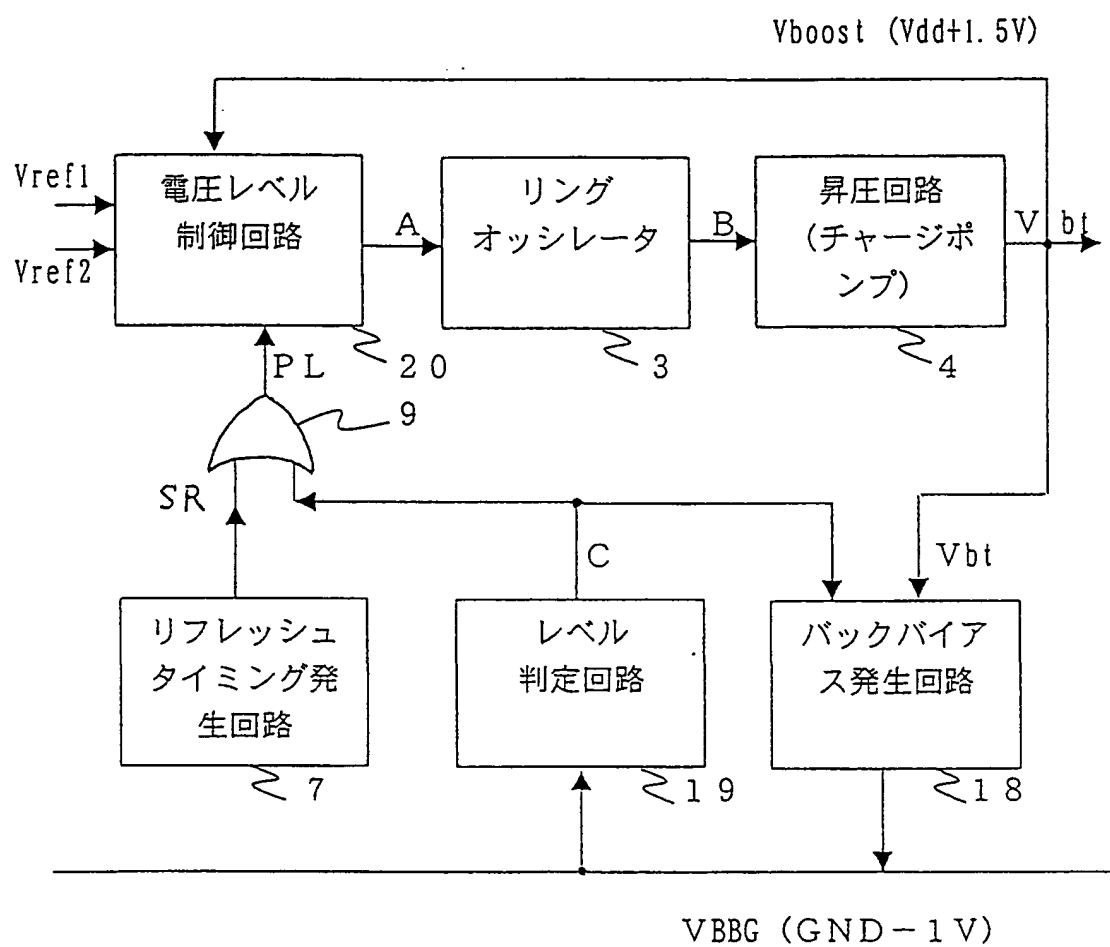
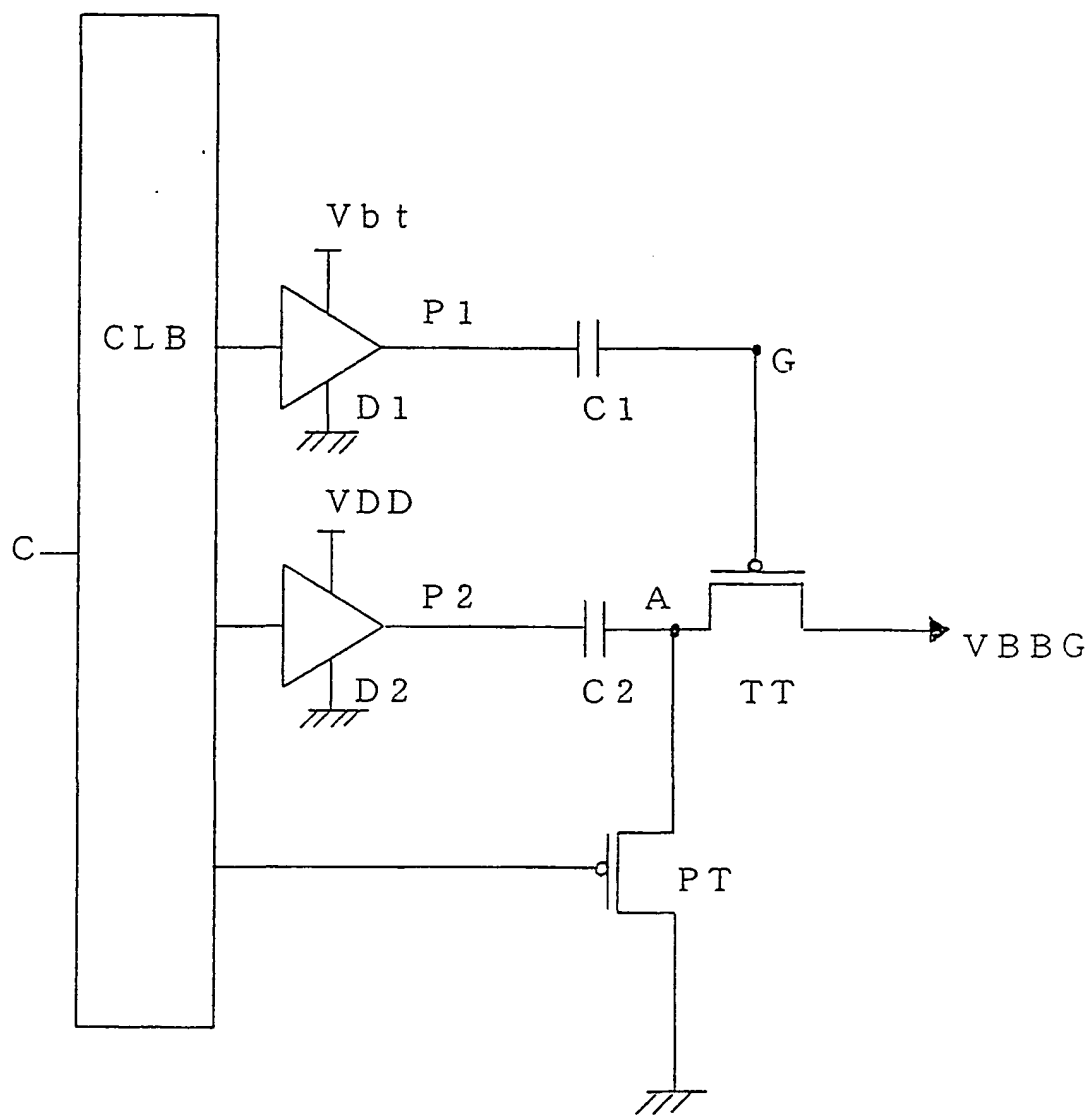


図 16



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/06374

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G11C 11/407

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G11C 11/40-11/4099

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2001  
 Kokai Jitsuyo Shinan Koho 1971-2001 Toroku Jitsuyo Shinan Koho 1994-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-66855 A (Fujitsu Limited), 09 March, 1999 (09.03.99), Full text; all drawings & US 5994888 A1	1, 3, 5-10, 12-14, 16, 18-23, 25-29, 33, 35, 37-42, 44-48, 51, 52, 58, 61-63, 66, 67, 73-76, 79, 81-85, 87, 88, 93, 95-97, 102-105
Y		4, 11, 17, 24, 31, 36, 43, 49, 50, 59, 60, 64, 65, 68-72, 80, 86, 94, 98-101
A		2, 15, 30, 32, 34, 53-57, 89-92

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
15 October, 2001 (15.10.01)Date of mailing of the international search report  
30 October, 2001 (30.10.01)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/06374

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-75940 A (Hitachi, Ltd.), 14 March, 2000 (14.03.00), Full text; all drawings (Family: none)	4, 11, 17, 24, 36, 43, 49, 50, 59, 60, 64, 65, 69, 70, 80, 86, 94, 99
Y	JP 11-250662 A (Hitachi, Ltd.), 17 September, 1999 (17.09.99), Figs. 11, 12 (Family: none)	31, 68-72, 98-101
X	JP 2000-112547 A (Mitsubishi Electric Corporation), 21 April, 2000 (21.04.00), Full text; all drawings (Family: none)	77, 78

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> G11C 11/407

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> G11C 11/40-11/4099

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
日本国公開実用新案公報 1971-2001年  
日本国実用新案登録公報 1996-2001年  
日本国登録実用新案公報 1994-2001年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 11-66855 A(富士通株式会社) 9.3月.1999.(09.03.99), 全文, 全図 & US 5994888 A1	1, 3, 5-10, 12-14, 16, 18-23, 25-29, 33, 35, 37-42, 44-48, 51, 52, 58, 61-63, 66, 67, 73-76, 79, 81-85,

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

15.10.01

国際調査報告の発送日

30.10.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号 100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

須原 宏光

5N 9057

電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
		87, 88, 93, 95-97, 102-105
Y		4, 11, 17, 24, 31, 36, 43, 49, 50, 59, 60, 64, 65, 68-72, 80, 86, 94, 98-101
A		2, 15, 30, 32, 34, 53-57, 89-92
Y	JP 2000-75940 A(株式会社日立製作所) 14. 3月. 2000 (14. 03. 00) , 全文, 全図 (ファミリーなし)	4, 11, 17, 24, 36, 43, 49, 50, 59, 60, 64, 65, 69, 70, 80, 86, 94, 99
Y	JP 11-250662 A(株式会社日立製作所) 17. 9月. 1999 (17. 09. 99) , 図11, 図12 (ファミリーなし)	31, 68-72, 98-101
X	JP 2000-112547 A(三菱電機株式会社) 21. 4月. 2000 (21. 04. 00) , 全文, 全図 (ファミリーなし)	77, 78

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**